

BEST AVAILABLE COPY

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All Rts. Reserv.

015154155 **Image available**

WPI:Acc No: 2003-214682/200321

XRAM Acc No: C03-055045

XRPX Acc No: N03-171305

Wiring for LCD device, has conductive layers with different width, that are laminated in order such that edge portions of conductive layers are tapered

Patent Assignee: SEMICONDUCTOR ENERGY LAB. (SEME)

Inventor: KUSUYAMA Y; ONO K; SUZAWA H; YAMAZAKI S

Number of Countries: 005 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002359246	A	20021213	JP 200289262	A	20020327	200321
CN 1378276	A	20021106	CN 2002108075	A	20020327	200321
KR 2002076188	A	20021009	KR 200216680	A	20020327	200321
US 20030054653	A1	20030320	US 200299972	A	20020319	200323
TW 536781	A	20030611	TW 2002105779	A	20020325	200374

Priority Applications (No Type Date): JP 200191192 A 20010327

Patent Details:

Patent No	Kind	Lat Pg	Main IPC	Filing Notes
JP 2002359246	A	35	H01L-021/3205	
CN 1378276	A		H01L-023/52	
KR 2002076188	A		G02F-001/1345	
US 20030054653	A1		H01L-021/311	
TW 536781	A		H01L-021/768	

Abstract (Basic): JP 2002359246 A

NOVELTY - Conductive layers (18b-20b) with different width, are laminated in order, such that edge portions of the conductive layers are tapered.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) Wiring production method;
- (2) Wiring board; and
- (3) Wiring board production method.

USE - In wiring board (claimed) used in electro-optical device such as active-matrix type LCD device, active-matrix EC display device and active-matrix type light emitting device used in electronic device such

as personal computer, DVD player and CD player.

ADVANTAGE - Operating characteristic and reliability of the semiconductor device in the LCD device, are improved.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the wiring. (Drawing includes non-English language text).

Conductive layers (18b-20b)

pp; 35 DwgNo 1/22

Title Terms: WIRE; LCD; DEVICE; CONDUCTING; LAYER; WIDTH; LAMINATE; ORDER; EDGE; PORTION; CONDUCTING; LAYER; TAPER

Derwent Class: L03; P81; T04; U14; W03

International Patent Class (Main): G02F-001/1345; H01L-021/311; H01L-021/3205; H01L-021/768; H01E-023/58

International Patent Class (Additional): G02F-001/133; G02F-001/1343; G02F-001/1368; H01L-021/20; H01L-021/28; H01L-021/60; H01L-023/485; H01L-029/786; H05K-001/00; H05K-003/46

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAP10

(c) 2003 JPO & JAP10. All rts. reserv.

07490728 *Image available*

WIRING AND MANUFACTURING METHOD THEREFOR, AND CIRCUIT BOARD AND
MANUFACTURING METHOD THEREFOR

PUB. NO.: 2002-359246 [JP 2002359246 A]

PUBLISHED: December 13, 2002 (20021213)

INVENTOR(s): YAMAZAKI SHUNPEI

SUZAWA HIDEOMI

ONO KOJI

KUSUYAMA YOSHIHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2002-089262 [JP 20022089262]

FILED: March 27, 2002 (20020327)

PRIORITY: 2001-091192 [JP 200191192], JP (Japan), March 27, 2001
(20010327)

INTL CLASS: H01L-021/3205; G02F-001/1343; G02F-001/1368; H01L-021/20;
H01L-021/28; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a wiring capable of dealing with the increase in the area of a pixel part by using a material having a low resistance and to provide a circuit board.

SOLUTION: The wiring comprises a laminated structure of a first conductive layer, having a first width and made of an alloy containing one type or a plurality of types of elements, selected from the group consisting of Ti and Mo or containing the elements as the main component or a compound as a first layer, a second conductive layer having a second width narrower than the first width, having a low resistance and made of an alloy containing Al as the main component or a compound as a second layer, and a third conductive layer having a third width narrower than the second width and containing Ti as the main component or a compound as a third layer. With the thus constitution, the wiring can fully deal with the increase in the area of the pixel part. A sectional shape of the end of at least the second conductive layer is set as a tapered shape. By forming it into such a shape, coverage can be made proper.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-359246

(P2002-359246A)

(43)公開日 平成14年12月13日(2002.12.13)

(51)Int.Cl.
H01L 21/3205
G02F 1/1363
1/1368
H01L 21/29
21/28

識別記号
301

F I
G 02 F 1/1363
1/1368
H 01 L 21/29
21/28

コード(参考)
301R
A

審査請求 未請求 請求項の数29 OL (全35頁) 最終頁に続く

(21)出願番号 特願2002-89262(P2002-89262)

(22)出願日 平成14年3月27日(2002.3.27)

(31)優先権主張番号 特願2001-91192(P2001-91192)

(32)優先日 平成13年3月27日(2001.3.27)

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 真平
神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 須沢 英輔

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 小野 実勤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

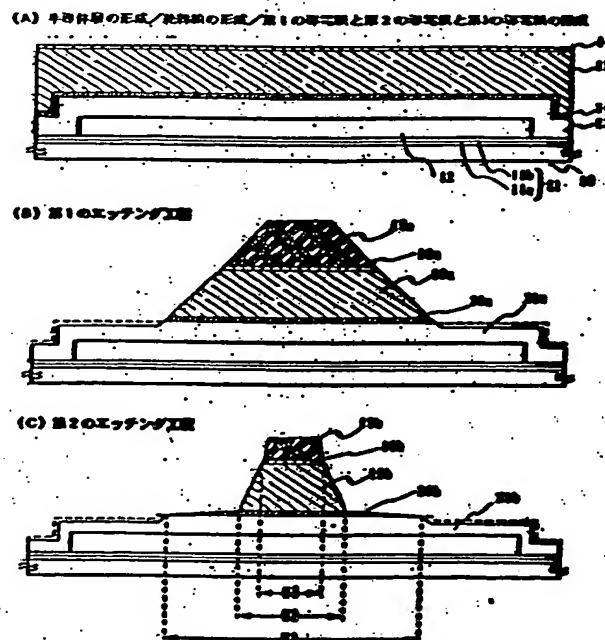
最終頁に続く

(54)【発明の名称】 配線およびその作製方法、並びに配線基板およびその作製方法

(57)【要約】

【課題】 低抵抗な材料を用いることにより、画素部の大面積化に対応し得る配線並びに配線基板を提供することを目的とする。

【解決手段】 本発明における配線は、第1の幅を有し、かつ、WまたはM。から選ばれた一種または複数種の元素、または前記元素を主成分とする合金若しくは化合物からなる第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有し、かつ、A.1を主成分とする合金若しくは化合物からなる低抵抗な第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有し、かつ、T.1を主成分とする合金若しくは化合物からなる第3の導電層を第3層とする積層構造であるとする。このような構成にすることで、画素部の大面積化に十分対応でき得る。また、少なくとも第2の導電層の端部における断面形状はテーパー形状であるとする。このような形状にすることで、カバレッジを良好なものとすることが得られる。



【特許請求の範囲】

【請求項1】 第1の幅を有する第1の導電層を第1層といし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線。

【請求項2】 請求項1において、前記第1の導電層は、WまたはM₀から選ばれた一種または複数種の元素、または、WまたはM₀から選ばれた一種または複数種の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項3】 請求項1において、前記第2の導電層は、A₁を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項4】 請求項1において、前記第3の導電層は、T₁を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項5】 請求項1乃至4のいずれか一項において、前記第2の導電層は前記第1の導電層、前記第3の導電層および絶縁膜に接されており、前記絶縁膜と接する領域は酸化していることを特徴とする配線。

【請求項6】 請求項1乃至5のいずれか一項において、前記配線は、液晶表示装置または発光装置の配線であることを特徴とする配線。

【請求項7】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線の作製方法であって、前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項8】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の幅を有する第2の導電層と、第2の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の幅を有する第1の導電層と、前記第1の幅を有する第2の導電層と、前記第2の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の幅を有する第2の導電層および前記第2の幅を有する第3の導電層をエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層、第6の幅を有する第3の導電層との積層からなる第4の形状の導電層を形成する配線の作製方法であって、前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項9】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第3の形状の導電層にプラズマ処理を行う配線の作製方法であって、

前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項10】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の幅を有する第2の導電層と、第2の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の幅を有する第1の導電層と、前記第1の幅を有する第2の導電層と、前記第2の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の幅を有する第2の導電層および前記第2の幅を有する第3の導電層をエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層、第6の幅を有する第3の導電層との積層からなる第4の形状の導電層を形成し、前記第4の形状の導電層にプラズマ処理を行う配線の作製方法であって、前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の

の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線の作製方法。

【請求項1.1】 請求項7乃至10のいずれか一項において、前記第1の導電層は、WまたはM₀から選ばれた一種または複数種の元素、または、WまたはM₀から選ばれた一種または複数種の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項1.2】 請求項7乃至10のいずれか一項において、前記第2の導電層は、A₁を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項1.3】 請求項7乃至10のいずれか一項において、前記第3の導電層は、T_iを主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項1.4】 請求項9または請求項10において、前記プラズマ処理は酸素もしくは酸素を主成分とした気体、またはH₂Oを用いて行われることを特徴とする配線の作製方法。

【請求項1.5】 絶縁基板と、配線とを有する配線基板において、前記配線は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板。

【請求項1.6】 請求項1.5において、前記第1の導電層は、WまたはM₀から選ばれた一種または複数種の元素、または、WまたはM₀から選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項1.7】 請求項1.5において、前記第2の導電層は、A₁を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項1.8】 請求項1.5において、前記第3の導電層は、T_iを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項1.9】 請求項1.5乃至1.8のいずれか一項において、前記第2の導電層は前記第1の導電層、前記第3の導電層および絶縁膜に覆われており、前記絶縁膜と接する領域は酸化していることを特徴とする配線基板。

【請求項2.0】 請求項1.5乃至1.9のいずれか一項において、前記配線基板を用いて、液晶表示装置または発光装置が作製されたことを特徴とする配線基板。

【請求項2.1】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線基板の作製方法であって、

前記第4の幅を有する第1の導電層、または前記第5の幅を有する第2の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法。

【請求項2.2】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッチングして、前記第1の導電層と、第1の幅を有する第2の導電層と、第2の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッチングして、第3の幅を有する第1の導電層と、前記第1の幅を有する第2の導電層と、前記第2の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の幅を有する第2の導電層および前記第2の幅を有する第3の導電層をエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層、

第6の幅を有する第3の導電層との積層からなる第4の形状の導電層を形成する配線基板の作製方法であって、前記第4の幅を有する第1の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法。

【請求項2.3】 絶縁表面上に第1の導電層を形成し、前記第1の導電層上に第2の導電層を形成し、前記第2の導電層上に第3の導電層を形成し、前記第1乃至第3の導電層にエッチングを行って、テーパー部を有する導電層を形成し、前記テーパー部を有する導電層にプラズマ処理を行うことを特徴とする配線基板の作製方法。

【請求項2.4】 絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第2の幅を有する第2の導電層と、前記第3の幅を

5
有する第3の導電層とをエッティングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第3の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第4の幅を有する第1の導電層、または前記第5の幅を有する第2の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法。

【請求項25】絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、

前記第2の導電層および前記第3の導電層をエッティングして、前記第1の導電層と、第1の幅を有する第2の導電層と、第2の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、

前記第1の導電層をエッティングして、第3の幅を有する第1の導電層と、前記第1の幅を有する第2の導電層と、前記第2の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成し、

前記第1の幅を有する第2の導電層および前記第2の幅を有する第3の導電層をエッティングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層、第6の幅を有する第3の導電層との積層からなる第4の形状の導電層を形成し、

前記第4の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第4の幅を有する第1の導電層、または前記第5の幅を有する第2の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴とする配線基板の作製方法。

【請求項26】請求項21乃至25のいずれか一項において、前記第1の導電層は、WまたはMoから選ばれた一種または複数種の元素、または、WまたはMoから選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項27】請求項21乃至25のいずれか一項において、前記第2の導電層は、Alを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項28】請求項21乃至25のいずれか一項において、前記第3の導電層は、Tiを主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項29】請求項23乃至26のいずれか一項において、前記プラズマ処理は酸素もしくは酸素を主成分とした気体、またはH₂Oを用いて行われることを特徴とする配線基板の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜技術を用いて形成される配線およびその作製方法に関する。また、配線基板およびその作製方法に関する。なお、本明細書において配線基板とは、薄膜技術を用いて形成される配線を有するガラス等の絶縁基板、あるいは各種基板を指す。

【0002】

10 【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはIC（Integrated Circuit）や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】従来より、画像表示装置として液晶表示装置が知られている。パネル型の液晶表示装置に比べ高精細な画像が得られることからアクティブラチクス型の液晶表示装置が多く用いられるようになっている。アクティブラチクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0004】このようなアクティブラチクス型の液晶表示装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0005】

【発明が解決しようとする課題】上記TFTの配線としてAl（アルミニウム）を用いてTFTを作製した場合、熱処理によってヒロックやウイスカ等の突起物の形成や、Al原子の絶縁度や活性領域、特にチャネル形成領域への拡散により、TFTの動作不良やTFTの電気的特性の低下を引き起こす場合がある。

【0006】そこで、熱処理に耐え得る金属材料（代表的には高い融点を有している金属元素）、例えば、W（タンクステン）やMo（モリブデン）を用いることが考えられる。しかしながら、これらの元素の抵抗率はAlと比較して非常に高い。（表1）

【0007】

【表1】

配線材料	抵抗率 [$\mu\Omega\text{cm}$]
A1	2
W	10~20
Mo	15~25

【0008】そのため、画面サイズが大面積化すると、配線遅延が問題になってくる。そこで、配線を太くして抵抗を下げる方法が考えられる。しかしながら、配線の幅を広げると、設計の自由度の低下および画素部における開口率の低下が問題になる。また、配線の膜厚を厚くすると、配線が立体交差する箇所でショートしやすくなったり、配線の段差部でのカバレッジが悪くなる。

【0009】そこで、本発明は、上記の問題を解決し、大画面化に対応できる配線およびその作製方法、並びに配線基板およびその作製方法を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明は、配線構造を、第1層として、WまたはMoから選ばれた一種または複数種、または、WまたはMoから選ばれた一種または複数種を主成分とする導電膜を用い、第2層としてA1を主成分とする低抵抗な導電膜を用い、第3層としてTiを主成分とする導電膜を用いた積層構造とすることによって、配線の低抵抗化を図るものである。本発明において、A1を主成分とする低抵抗な導電膜を他の導電膜で挟むことで、熱処理によるヒックやヴィスカーラ等の突起物の形成を防ぐことができる。また、第1層および第3層が高融点の導電膜であるためバリアメタルとして機能し、A1原子が絶縁膜や活性領域へ拡散することを防ぐことが可能となる。(表2)また、本発明の配線上に絶縁膜を形成し、該配線とのコンタクトを形成する際、第3層が前記絶縁膜のエッティングにおけるストッパーとして機能するため、コンタクト形成が容易になる。また、A1は、透明導電膜として代表的なITO膜と接触すると、電鍍を起こし、コンタクト抵抗値が高くなるが、第3層としてTiを主成分とする導電膜で形成するため、コンタクト抵抗値が良好なものとなる。

【0011】

【表2】

配線材料	融点 [℃]
A1	660、4
W	3387
Mo	2610
Ti	1676

【0012】さらに、本発明において、少なくともA1を主成分とする低抵抗な導電膜で形成される第2層の端部はテーパー形状であるとする。テーパー形状とすることで、段差部でのカバレッジが向上する。なお、本明細書においてテーパー角とは、水平面と材料層の側面がなす角を指している。また、本明細書中では便宜上、テーパー角を有している側面をテーパー形状と呼び、テーパー形状を有している部分をテーパー部と呼ぶ。

【0013】本明細書で開示する発明の構成は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴としている。

【0014】上記構成において、前記配線は、Wを主成分とする合金もしくは化合物からなる導電層(第1層)と、A1を主成分とする合金もしくは化合物からなる導電層(第2層)と、Tiを主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。または、前記配線は、Moを主成分とする合金もしくは化合物からなる導電層(第1層)と、A1を主成分とする合金もしくは化合物からなる導電層(第2層)と、Tiを主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。例えば、第1層として、W、WN、Mo等を用いることができ、第2層として、A1、A1-Si(2wt%)、A1-Ti(1wt%)、A1-Nd(1wt%)、A1-Sc(0.18wt%)等を用いることができ、第3層として、Ti、TiN等を用いることができる。これらはズバッタ法、プラズマCVD法等によって形成することができる。また、第2層において、A1-Si等を形成するには、Si等の元素がA1に溶けることのできる限界(固溶限)があり、固溶度が高いほど抵抗率も高くなり、耐熱性も変化する。そのため、配線に適した抵抗率や耐熱性、Si等の元素の固溶限との兼ね合いで、A1中におけるSi等の割合は実施者が適宜決定すればよい。

【0015】表3に、配線を形成する各導電層における抵抗率の例を示す。表3から、A1を主成分とする合金もしくは化合物からなる導電層は他の導電層に比べて非常に低抵抗であることが分かる。

【0016】

【表3】

記録材料		抵抗率 [$\mu\Omega\text{cm}$]
Wを主成分とする材料	W	10~20
	WN	150~220
AIを主成分とする材料	AI	3
	AI-Si (2wt%)	3.5~4.6
	AI-Ti (1wt%)	8~10
	AI-Nd (1wt%)	7~10
	AI-Sc (0.18wt%)	3.5~4.0
Tiを主成分とする材料	Ti	50~60
	TiN	130~200

【0.01.7】耐熱性および導電性を有する第1の導電膜、第2の導電膜および第3の導電膜を高速でかつ精度良くエッチングして、さらに端部をテーパー形状とすることができるのであれば、どのようなエッティング方法でも適用できる。その中でも、特に高密度プラズマを用いたドライエッティング法を適用するのが望ましい。高密度プラズマを得る手法にはマイクロ波、ヘリコン波 (Helicon Wave Plasma: HWP) や誘導結合プラズマ (Inductively Coupled Plasma: ICP) を用いたエッティング装置が適している。例えば、ECR (Electron Cyclotron Resonance) エッティング装置、SWP (Surface Wave Plasma) エッティング装置、ICPエッティング装置、2周波の平行平板励起型エッティング装置などを用いればよい。特に、ICPエッティング装置はプラズマの制御が容易であり、処理基板の大面積化にも対応できる。

【0.01.8】例えば、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して複数本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いる。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。

【0.01.9】このようなマルチスパイラルコイルを適用したICPを用いたエッティング装置を用いると、テーパー部の角度 (テーパー角) は基板側にかけるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパー部の角度を5~85°まで変化させることができる。

【0.02.0】また、第2層および第3層におけるエッティングに用いるガスは塩素系ガスが望ましい。例えば、SiCl₄、HCl、CCl₄、BCl₃、Cl₂等を用いることができる。

【0.02.1】第1層におけるエッティングに用いるガスはフッ素系ガスが望ましい。例えば、NF₃、CF₄、C₂F₆、SF₆等を用いることができる。また、第1層におけるエッティングはフッ素系ガスと同時に塩素系ガスも導入すると、エッティングレートが向上するので望ましい。

【0.02.2】また、上記の導電層を用いた積層構造からなる配線とすることで、ICPエッティング法等を用い

て、配線の端部をテーパー形状とする。配線の端部をテーパー形状とすることで、後工程で形成される膜等のカバレッジを良好なものとすることができます。

【0.02.3】上記構成において、前記第1の導電層の端部はテーパー形状であることが望ましい。そして、そのテーパー形状を成している部分 (テーパー部) は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパー形状とし、第1の導電層におけるテーパー部のテーパー角に比べて大きいとするのが望ましい。また、第3の導電層もテーパー形状とするのが望ましく、第2の導電層におけるテーパー部のテーパー角とほとんど同じにするのが望ましい。

【0.02.4】また、本発明を実現するための構成は、基板表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、前記第1の導電層、前記第2の導電層および前記第3の導電層をエッティングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッティングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線の作製方法であって、前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴としている。

【0.02.5】上記構成において、前記配線は、Wを主成分とする合金もしくは化合物からなる導電層 (第1層) と、AIを主成分とする合金もしくは化合物からなる導電層 (第2層) と、Tiを主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有していることを特徴としている。または、前記配線は、Moを主成分とする合金もしくは化合物からなる導電層 (第1層) と、AIを主成分とする合金もしくは化合物からなる導電層 (第2層) と、Tiを主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有し

11 ていることを特徴としている。

【0026】また、上記の導電層を用いた積層構造からなる配線として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法等を用いて、配線の端部をテーパー形状とする。配線の端部をテーパー形状としていることで、後工程で形成される膜等のカバレッジを良好なものとすることができる。

【0027】上記構成において、前記第1の導電層の端部はテーパー形状であることが望ましい。そして、そのテーパー形状を成している部分(テーパー部)は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパー形状とし、第1の導電層におけるテーパー部のテーパー角に比べて大きいとするのが望ましい。また、第3の導電層もテーパー形状とするのが望ましく、第2の導電層におけるテーパー部のテーパー角とほとんど同じにするのが望ましい。

【0028】また、本発明の他の構成は、絶縁基板と、配線とを有する配線基板において、前記配線は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパー形状であることを特徴としている。

【0029】上記構成において、前記配線を形成する工程は、Wを主成分とする導電膜を形成し、A1を主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。また、上記構成において、前記配線を形成する工程は、Moを主成分とする導電膜を形成し、A1を主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。

【0030】上記構成において、前記第1の導電層の端部はテーパー形状であることが望ましい。そして、そのテーパー形状を成している部分(テーパー部)は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパー形状とし、第1の導電層におけるテーパー部のテーパー角に比べて大きいとするのが望ましい。また、第3の導電層もテーパー形状とするのが望ましく、第2の導電層におけるテーパー部のテーパー角とほとんど同じにするのが望ましい。

【0031】また、本発明を実現するための構成は、絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層

と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをギンチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線基板の作製方法であって、前記第4の幅を有する第1の導電層、または前記第5の幅を有する第2の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパー形状であることを特徴としている。

【0032】上記構成において、前記配線を形成する工程は、Wを主成分とする導電膜を形成し、A1を主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。また、上記構成において、前記配線を形成する工程は、Moを主成分とする導電膜を形成し、A1を主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。

【0033】また、上記の導電層を用いた積層構造からなる配線として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法等を用いて、配線の端部をテーパー形状とする。配線の端部をテーパー形状としていることで、後工程で形成される膜等のカバレッジを良好なものとすることができる。

【0034】上記構成において、前記第1の導電層の端部はテーパー形状であることが望ましい。そして、そのテーパー形状を成している部分(テーパー部)は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパー形状とし、第1の導電層におけるテーパー部のテーパー角に比べて大きいとするのが望ましい。また、第3の導電層もテーパー形状とするのが望ましく、第2の導電層におけるテーパー部のテーパー角とほとんど同じにするのが望ましい。

【0035】本発明は、従来の配線または配線基板の作製プロセスに適合した、簡単な方法で配線の低抵抗化を実現できる。そのため、設計の自由度および画素部における開口率の向上が可能となる。そして、配線がテーパー形状である導電層を含んでいるため、カバレッジを良好なものとすることができます。このような利点を挙げた上で、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても十分に対応することが可能となり、該半導体装置の動作特性および信頼性を向上させることを可能とする。

【0036】

【発明の実施の形態】本発明の実施形態について、図1を用いて説明する。本実施形態では、本発明を利用した

13
TFTのゲート電極を備えた配線基板について説明する。

【0037】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板、石英基板、シリコン基板、プラスチック基板、金属基板、可接性基板などを用いることができる。前記ガラス基板として、バリウムホウケイ酸ガラス、またはアルミニホウケイ酸ガラスなどのガラスからなる基板が挙げられる。また、可接性基板とは、PET、PES、PEN、アクリルなどからなるフィルム状の基板のことであり、可接性基板を用いて半導体装置を作製すれば、軽量化が見込まれる。可接性基板の表面、または表面および裏面にアルミ膜(A1ON、AlN、AlOなど)、炭素膜(DLC(ダイヤモンドライカーボン)など)、SiNなどのバリア層を単層または多層にして形成すれば、耐久性などが向上するので望ましい。

【0038】また、下地絶縁膜11としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる下地膜11を形成する。ここでは下地膜11として2層構造(11a、11b)を用いた例を示したが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0039】次いで、下地絶縁膜上に半導体層12を形成する。半導体層12は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトマスクを用いて所望の形状にパターニングして形成する。この半導体層12の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。

【0040】次いで、半導体層12を覆う絶縁膜13を形成する。絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

【0041】次いで、絶縁膜13上に膜厚20~100nmの第1の導電層14と膜厚100~800nmの第2の導電層15と膜厚20~100nmの第3の導電層16とを積層形成する。ここでは、スパッタ法、プラズマCVD法等を用い、絶縁膜と接する第1の導電層としては、チャネル形成領域への拡散を防ぐためにWまたはMoを主成分とする導電膜(W、WMo、Mo等)を用いればよい。また、第2の導電層としては、Alを主成分とする低抵抗な導電膜(A1、Al-Ti、Al-Si、Al-Si等)を用いればよい。また、第3の導電層としては、コンタクト抵抗の低いTi(Ti、Ti_xN等)

等)を主成分とする導電膜を用いればよい。

【0042】次いで、第2のフォトマスクを用いてレジストマスク17aを形成し、ICPエッティング装置等を用いて第1のエッティング工程を行う。この第1のエッティング工程によって、第1乃至第3の導電層14~16をエッティングして、図1(B)に示すように、端部においてテーパー形状を有する部分(テーパー部)を有する導電層18a~20aを形成。

【0043】次いで、第2のフォトリソグラフィ工程で形成したレジストマスク17bをそのまま用い、ICPエッティング装置等を用いて第2のエッティングを行う。この第2のエッティング工程によって、第2の導電層19aおよび第3の導電層18aを選択的にエッティングして図1(C)に示すような第2の導電層19bおよび第3の導電層18bを形成する。なお、この第2のエッティングの際、レジストマスク、第1の導電層、及び絶縁膜もわずかにエッティングされて、それぞれレジストマスク17b、第1の導電層20b、絶縁膜21bが形成される。第1の導電層20bは、第1の幅(W1)を有しており、第2の導電層19bは、第2の幅(W2)を有しており、第3の導電層18bは、第3の幅(W3)を有する。なお、第1の幅は第2の幅より大きく、第2の幅は第3の幅より大きい。

【0044】なお、ここでは、絶縁膜13の膜減りを抑えるために、2回のエッティング(第1のエッティング工程と第2のエッティング工程)を行ったが、図1(C)に示すような電極構造(第3の導電層18bと第2の導電層19bと第1の導電層20bの積層)が形成できるのであれば、特に2回に限定されず、複数回であっても良いし、1回のエッティング工程で行ってもよい。

【0045】このように本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が大幅縮小しても十分駆動させることができる。もちろん、本発明はゲート配線だけでなく、各種配線に用いることができ、基板上にこれらの配線が形成された配線基板を作成することができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることができである。

【0046】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0047】

【実施例】以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことはもちろんである。

【0048】【実施例1】本発明を利用したゲート電極を備えた配線基板について、その構造の一例を以下に説明する。

【0049】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可接性基板の表面に絶縁膜を

形成したもの用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。本実施例では、コーニング社製1737ガラス基板を用いた。

【0050】また、下地絶縁膜11としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜11を形成する。ここでは下地膜11として2層構造(11a、11b)を用いた例を示したが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。本実施例では、膜厚50nmの酸化窒化珪素膜11a(組成比Si=32%、O=27%、N=2.4%、H=17%)を形成した。次いで、膜厚100nmの酸化窒化珪素膜11b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0051】次いで、下地絶縁膜上に半導体層12を形成する。半導体層12は、非晶質構造を有する半導体膜を公知の手段(スペシタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザ結晶化法、熱結晶化法、またはニッケルなどの放電を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトマスクを用いて所望の形状にパターニングして形成する。この半導体層12の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましく珪素または珪素ゲルマニウム(SiGe)、合金などで、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500°C、1時間)を行った後、熱処理(550°C、4時間)を行い、さらに結晶化を改善するためのレーザアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をウォトリソングラフィ法を用いたパターニング処理によって、半導体層12を形成した。

【0052】次いで、半導体層12を覆う絶縁膜13を形成する。絶縁膜13はプラズマCVD法またはスペクタ法を用いて、厚さを40~150nmとして珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0053】次いで、絶縁膜13上に膜厚20~100nmの第1の導電膜14と膜厚100~800nmの第2の導電膜15と膜厚20~100nmの第3の導電膜16とを積層形成する。スペクタ法等により、絶縁膜13と接する第1の導電膜としては、チャネル形成領域への遮断を防ぐためにWまたはMoを主成分とする導電膜(W、WMo、Mo等)を用いればよい。また、第2の導電膜15

導電層としては、Alを主成分とする低抵抗な導電膜(Al、Al-Ti、Al-Si、Al-Si等)を用いればよい。また、第3の導電層としては、コンタクト抵抗の低いTiを主成分とする導電膜(Ti、TiN等)を用いればよい。本実施例では、スペクタ法により、膜厚30nmのW膜からなる第1の導電膜14と、膜厚500nmのAl-Ti膜からなる第2の導電膜15と、膜厚50nmのTi膜からなる第3の導電膜16とを積層形成した。第2の導電膜15のTiの割合は1%であり、ターゲットにAl-Tiを用いて形成した。

【0054】続いて、第1のエッチング処理を行う。第1のエッチング処理では第1のエッチング条件及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにBCl₃とCl₂とO₂とを用い、それぞれのガス流量比を65:10:5(ccm)とし、1.2Paの圧力でコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成して147秒のエッチングを行った。ここで、松下電器産業(株)製のICP用いたドライエッチング装置(M-45 E645一口ICP)を用いた。基板側(試験ステージ)にも300WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第1のエッチング条件でのレジストに対するエッチング速度は25.5nm/minであり、Al-Ti膜に対するエッチング速度は3.3.4nm/minであり、Wに対するエッチング速度は133.8nm/minである。なお、Ti膜のエッチング速度はAl-Ti膜とほとんど同じである。図22に示すように、この第1のエッチング条件によりAl-Ti膜およびTi膜をエッチングして、端部がテーパー形状である第2の導電膜29および第3の導電膜28を得る。また、この第1のエッチング条件によって、Al-Ti膜およびTi膜のテーパー角は、約45°となる。なお、Wに対するエッチング速度はレジスト、Ti膜、Al-Ti膜に比べて十分低いため、第1の導電膜30は主として表面のみがエッチングされ、第2の導電膜29および第3の導電膜28と區別しない領域が広くなっている。

【0055】この(2)レジストからなるマスク170を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(ccm)とし、1Paの圧力をコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して30秒のエッチングを行った。基板側(試験ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂とO₂を混合した第2のエッチング条件ではW膜のみエッチングされる。第2のエッチング条件でのWに対するエッチング速度は124.6nm

m/m_{ini} である。なお、ゲート絶縁膜上に残渣を残すことなくエンチングするためには、10~20%程度の割合でエンチング時間を増加させると良い。

【0056】このように、第2のエッチング条件による第1の導電層30のエッチングは、第1のエッチング条件により形成される第2の導電層29および第3の導電層28（およびレジスト27）をマスクとしている。そのため、第2のエッチング条件により形成される第1の導電層20aの幅は、第1のエッチング条件によって制御すればよい。このような段階を経ることにより、不純物領域となる領域の幅を容易に制御することができる。

【0057】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層20aと第2の導電層19aと第3の導電層18aから成る第1の形状の導電層を形成する。ここでのチャネル長方向の第1の導電層の幅は、上記実施の形態に示したW1に相当する。21aはゲート絶縁膜であり、第1の形状の導電層で覆われない領域は2.0~5.0nm程度エッチングされ薄くなった領域が形成される。なお、ここでの第1のエッチング処理は、実施の形態に記載した第1のエッチング工程(図1(B))に相当する。このようにして形成された第1の形状の導電層のSEM写真を図2(A)に示す。

【10.0.5.8】次いで、レジストからなるマスクを除去せずに第2のエッティング処理を行う。ここでは、エッティング

AI-TのERの けらつき(±%)	下角筋に分布する筋肉群									
	1	2	3	4	5	6	7	8	9	10
1 300.0	200.0	150.0	120.0	100.0	85.7	75.0	66.7	60.0		
2 350.1	233.4	175.1	140.1	116.7	100.0	87.5	77.8	70.0		
3 400.4	266.9	200.2	160.1	133.5	114.4	100.1	89.0	80.1		
4 450.1	300.5	225.4	180.3	150.2	128.3	112.7	100.2	90.1		
5 501.3	334.2	250.8	200.5	187.1	143.2	125.3	111.4	100.3		
6 552.0	368.0	276.0	220.8	184.0	157.7	138.0	122.7	110.1		
7 603.0	402.0	301.5	241.2	201.0	172.3	150.7	134.0	120.1		
8 654.2	436.1	327.1	261.7	218.4	188.0	162.5	145.4	130.1		
9 705.7	470.5	352.9	282.3	235.2	201.5	176.4	156.8	141.1		
10 757.6	505.1	378.8	303.0	252.5	216.5	188.4	168.4	151.1		
11 809.8	539.9	404.9	323.9	269.9	231.4	202.4	180.0	162.0		
12 862.4	574.9	431.2	345.0	287.5	246.0	215.6	191.6	172.1		
13 915.5	610.3	457.7	366.2	305.2	261.6	228.9	203.4	183.1		
14 969.0	646.0	484.5	387.6	323.0	276.0	242.2	215.3	193.8		
15 1023.0	682.0	511.5	409.2	341.0	292.3	255.8	227.3	204.1		

【0061】表4で示すように、Al-Ti膜に対するエッチングレートのばらつきが大きくなるにつれ、エッチングされる膜厚は厚くなり、また、下層膜に対する選択比が上がるにつれてエッチングされる膜厚は薄くなる。この特性を利用すれば、所望の形状の配線を形成することが可能となる。

【0062】このように本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が大面积化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成さ

* g 用ガスに BC1.1 と C1.2 とを用い、それぞれのガス流量比を $20:60$ (sccm) とし、 1.2Pa の圧力をコイル型の電極に 600W のRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 100W のRF (13.56MHz) 電力を投入し、実質的に負の自己ペイプス電圧を印加する。第2のエッチング処理では、 A1-T1 膜および T1 膜が選択的にエッチングされる。この第2のエッチングにより A1-T1 膜および T1 膜のテーパー角は 60° となった。この第2のエッチング処理により第2の導電層 19b および第3の導電層 18b を形成する。一方、第1の導電層 20a は、第2の導電層や第3の導電層に比べてほとんどエッチングされず、第1の導電層 20b を形成する。なお、ここでの第2のエッチング処理は、実施の形態に記載した第2のエッチング工程 (図1 (C)) に相当する。このようにして、チャネル長方向の第1の導電層の幅が $W1$ 、第2の導電層の幅が $W2$ 、第3の導電層の幅が $W3$ である第2の形状の導電層が形成された。第2の形状の導電層のSEM写真を図2:

20

[0059] また、表4に、Al-Ti膜のエッチングレートの面内ばらつきを考慮し、Al-Ti膜の下層に形成される膜のAl-Ti膜に対するエッチングレートの比が2~10であった場合に、エッチングされる下層膜の膜厚(単位はnm)を計算した結果を示す。このとき、Al-Ti膜の膜厚を500nmとし、面内で±5%のばらつきがあるものとして計算した。

400601

141

れている半導体装置の動作特性および信頼性を向上させることが可能である。

【0063】【実施例2】本実施例では、実施例1における第1のエッチング処理のうち、第1のエッチング条件における条件をえた場合について、図3～図6を用いて以下に説明する。ここでは、第1のエッチング条件における条件をえているので、ゲート配線は実施例1における第2の導電層および第3の導電層の2層のみを形成しているが、実施例1における第1の導電層を下層として3層にした場合にも適用できる。

【0064】まず、1737ガラス基板10上に、スパシタ法により膜厚200nmの酸化窒化膜33を形成する。次いで、前記絶縁膜33上に、スパシタ法により、膜厚50.0nmのA1-Ti膜からなる第1の導電層34と、膜厚10.0nmのTi膜からなる第2の導電層35とを積層形成した(図3(A))。

【0065】続いて、第2の導電層上にレジストを形成して、エシチング処理を行う。このエシチング処理は、実施例1における第1のエシチング条件に相当する。本実施例ではエシチング処理として、ICP(Inductive Coupled Plasma: 誘導結合型プラズマ)エシチング法を用い、1.2Paの圧力で、エシチング用ガスにBC12とCl2とを用いた。そして、それぞれのガス流量比と、コイル型の電極および基板側(試料ステージ)に印可する電力を表5に示すように変化させてエシチングを行った(図3(B))。このエシチング処理により、レジスト、第2の導電層35および第1の導電層34はエシチングされ、第2の導電層35および第1の導電層34が形成される。また絶縁膜もエシチングされて40に示す形状の絶縁膜となる。

【0066】

【表5】

条件	ICP (W)	Bias (V)	ガス (sccm)	流量 (sccm)	時間 (s)
1	100	300	BC12:Cl2	60:20	268
2	300	300	BC12:Cl2	60:20	168
3	700	300	BC12:Cl2	60:20	158
4	500	300	BC12:Cl2	60:20	178
5	500	200	BC12:Cl2	60:20	147
6	500	400	BC12:Cl2	60:20	147
7	300	300	BC12:Cl2	20:60	68
8	500	300	BC12:Cl2	40:40	81
9	500	300	BC12:Cl2	70:10	358

*【0067】表5で示す条件によって得られる導電層をSEMにより15000倍にて観察した形状を図4～図6に示す。図4(A)は条件1により形成された導電層であり、図4(B)は条件2により形成された導電層であり、図4(C)は条件3により形成された導電層である。また、図5(A)は条件4により形成された導電層であり、図5(B)は条件5により形成された導電層であり、図5(C)は条件6により形成された導電層である。また、図6(A)は条件7により形成された導電層であり、図6(B)は条件8により形成された導電層であり、図6(C)は条件9により形成された導電層である。図4からコイル型の電極に印加する電力が高くなるにつれて、テーパー角が大きくなることが分かる。図5から基板側に印加する電力が高くなるにつれて、テーパー角が大きくなることが分かる。図6からBC12のガス流量が大きくなるにつれて、テーパー角が大きくなることが分かる。このように、条件によって得られるテーパー部の角度が変わることがわかる。また、表6に表5で示した条件により得られたエシチングレートを示す。さらに、それぞれの膜に対する選択比を表7に示す。A1-TiとWとの選択比が大きな条件で異方性エシチングが可能となり、所望の形状の導電層を形成することができる。

【0068】

【表6】

条件	ICP (W)	Bias (V)	ガス (sccm)	Al-Si (nm/min)	レジスト (nm/min)	W (nm/min)	SiON (nm/min)
	(W)	(V)	(sccm)	(Ave)	(3σ)	(Ave)	(3σ)
1	100	300	60:20	168.8	39.3	122.4	33.1
2	300	300	60:20	236.9	51.4	197.9	36.7
3	700	300	60:20	262.1	63.2	263.8	33.2
4	500	100	60:20	236.7	40.6	133.7	26.3
5	500	200	60:20	246.8	46.1	199.6	22.7
6	500	400	60:20	253.0	55.2	255.3	24.4
7	500	300	20:60	750.7	111.0	395.2	70.7
8	500	300	40:40	495.6	116.5	351.1	62.2
9	500	300	70:10	142.3	24.2	148.6	17.7

【表7】

条件	Al-Siに対する選択比	レジストに対する選択比	Wに対する選択比	SiONに対する選択比
1	1.38	4.53	4.40	0.73
2	1.20	3.98	3.57	0.64
3	1.00	2.37	2.44	1.00
4	1.17	5.72	4.23	0.50
5	1.24	3.57	3.07	0.61
6	0.98	2.45	2.41	1.02
7	1.90	5.68	7.22	0.53
8	1.41	4.41	4.91	0.71
9	0.95	2.33	1.43	1.04

【0069】

【0070】以上のことから、条件を変えることで、所望の形状の導電層を得ることができる。また、面素部の面積が大面積化しても配線遅延等の問題が生じることな

く、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることができる。

【0071】[実施例3] 本実施例では、実施例1で形成した配線にプラズマ処理を行う場合について、図17を用いて説明する。なお、本明細書中においてプラズマ処理とは、気体をプラズマ化した雰囲気中に試料を曝す処理を指す。

【0072】まず、実施例1にしたがって、図1(C)の状態を得る。なお、図17(A)と図1(C)は同じ状態を示し、対応する部分には同じ符号を用いている。

【0073】そして、形成された配線に酸素もしくは酸素を主成分とする気体、またはH₂Oを用いてプラズマ処理を行う。(図17(B)) プラズマ処理は、プラズマ発生装置(プラズマCVD装置、ドライエッティング装置、スペック装置等)を用いて、30秒～20分(好ましくは3～15分)行う。さらに、ガスの流量を50～300s.c.c.m.、基板の温度を室温～20.0度、RFを100～2000Wとして処理するのが望ましい。プラズマ処理を行うことで、3層構造からなる導電層のうちA11、またはA1を主成分とする合金もしくは化合物からなる導電層から成る第2の導電層19bが酸化されやすいため、該第2の導電層19bにおいて、他の導電層と接しない部分2.2が酸化される。そのため、ヒロックやウイスカ等の突起物の形成等をさらに低減することが可能となる。

【0074】もちろん、レジスト17bを除去するためには、酸素もしくは酸素を主成分とした気体、またはH₂Oによるアッシングを行えば、第2の導電層における露呈部分が酸化されるが、レジスト17bを除去した後にプラズマ処理を行う方が、十分な酸化膜を形成しやすい。

【0075】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が本面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0076】[実施例4] 実施例1乃至3とは異なる配線の構造に本発明を適用して配線基板を作製する例について、以下に図7を用いて説明する。

【0077】まず、基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可撓性基板の裏面に絶縁膜を形成したもの用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。本実施例では、コーニング社製17-37ガラス基板を用いる。

【0078】次いで、基板10上に膜厚2.0～10.0μmの第1の導電膜44と膜厚1.0～8.0nmの第2の導電膜45と膜厚2.0～10.0nmの第3の導電膜46とを積層形成する。ここでは、スペック法を用い、絶縁膜と接する第1の導電層としては、基板10からの不純物の拡散を防ぐためにWまたはMoを主成分とする導

電膜を用いればよい。また、第2の導電層としては、AlまたはCuを主成分とする低抵抗な導電膜を用いればよい。また、第3の導電層としては、コンタクト抵抗の低いTiを主成分とする導電膜を用いればよい。本実施例では、スペック法により、膜厚3.0nmのMo膜からなる第1の導電膜44と、膜厚5.0nmのAl-Ti膜からなる第2の導電膜45と、膜厚5.0nmのTi膜からなる第3の導電膜46とを積層形成する。

【0079】そして、エッティング処理を行う。エッティング処理では第1のエッティング条件及び第2のエッティング条件で行う。本実施例では第1のエッティング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用い、エッティング用ガスにB₂O₃とC₂H₂とO₂とを用い、それぞれのガス流量比を65:40:5(s.c.c.m.)とし、1.2Paの圧力をコイル型の電極に450WのRF(13.56Hz)電力を投入してプラズマを生成してエッティングを行う。ここで、は、松下電器産業(株)製のICPを用いたドライエッティング装置(Model E-6.45-1-ICP)を用いた。基板側(試料ステージ)にも3.0.0WのRF(13.56Hz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッティング条件によりAl-Ti膜およびTi膜をエッティングして第1の導電層の端部をテーパー形状とする。また、この第1のエッティング条件によつて、Al-Ti膜およびTi膜のテーパー角は、約45°となるが、Moはエッティングされない。

【0080】この後、レジストからなるマスク47を除去せずに第2のエッティング条件に切り、エッティング用ガスにCF₄とC₂H₂とO₂とを用い、それぞれのガス流量比を25:25:10(s.c.c.m.)とし、1Paの圧力をコイル型の電極に5.0.0WのRF(13.56Hz)電力を投入してプラズマを生成してエッティングを行う。基板側(試料ステージ)にも2.0WのRF(13.56Hz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とC₂H₂とO₂を混合した第2のエッティング条件ではMo膜のみエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、1.0～2.0%程度の割合でエッティング時間を見加せると良い。

【0081】上記エッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は15～45°とすればよい。こうして、エッティング処理により第1の導電層50と第2の導電層51と第3の導電層48から成る導電層を形成する。

【0082】次いで、導電層を覆う絶縁膜51を形成する。絶縁膜51はプラズマCVD法またはスペック法を用い、厚さを4.0～15.0nmとして珪素を含む絶縁膜の単層または積層構造で形成する。本実施例では、プラズマCVD法により11.0nmの厚さで酸化珪素膜

23

(組成比 Si=3.2%、O=5.9%、N=7%、H=2%)で形成する。

【0083】次いで、絶縁膜51上に半導体層52を形成する。半導体層52は、非晶質構造を有する半導体膜を公知の手段(スペック法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜をフォトマスクを用いて所望の形状にパターニングして形成する。この半導体層52の厚さは2.5~3.0 nm(好ましくは3.0~15.0 nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。本実施例では、プラズマCVD法を用いて、5.5 nmの非晶質珪素膜を成膜した後、レーザアニール処理を行って結晶質珪素膜を形成する。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層52を形成する。

【0084】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、逆スクガ構造のTFTを用いた場合においても、画素部の面積が大面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることができある。

【0085】【実施例5】本実施例では本発明を利用した配線基板の一例として、アクティブマトリクス基板の作製方法について図8~図11を用いて説明する。なお、本明細書ではCMOS回路を有する駆動回路と、画素TFT、保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【0086】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニボウケイ酸ガラスなどのガラスからなる基板400を用いる。なお、基板400としては、石英基板やシリコン基板、金属基板または可挠性基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性があるするプラスチック基板を用いてもよい。

【0087】次いで、基板400上に酸化珪素膜、空化珪素膜または酸化空化珪素膜などの絶縁膜から成る下地膜401を形成する。本実施例では下地膜401として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜401の一層目としては、プラズマCVD法を用いてSiH₄、N₂H₂、及びNi₂Oを反応ガスとして成膜される酸化空化珪素膜401aを1.0~2.0 nm(好ましくは5.0~1.0 nm)形成する。本実施例では、膜厚5.0 nmの酸化空化珪素膜401a(組成比Si=3.2%、O=2.7%、

24

N=2.4%、H=1.7%)を形成した。次いで、下地膜401の二層目としては、プラズマCVD法を用いてSiH₄、及びNi₂Oを反応ガスとして成膜される酸化空化珪素膜401bを5.0~20.0 nm(好ましくは10.0~15.0 nm)の厚さで積層形成する。本実施例では、膜厚10.0 nmの酸化空化珪素膜401b(組成比Si=3.2%、O=5.9%、N=7%、H=2%)を形成する。

【0088】次いで、下地膜上に半導体層402~406を形成する。半導体層402~406は公知の手段(スペック法、LPCVD法、またはプラズマCVD法等)により2.5~3.0 nm(好ましくは3.0~20.0 nm)の厚さで半導体膜を成膜し、公知の結晶化法(レーザ結晶化法、RTAやブーナスアーナール炉を用いた熱結晶化法、結晶化を助長する金属元素を用いた熱結晶化法等)により結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層402~406を形成する。前記半導体膜としては、非晶質半導体膜や微結晶半導体膜、結晶質半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、プラズマCVD法を用いて、5.5 nmの非晶質珪素膜を成膜する。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(500°C、1時間)を行った後、熱結晶化(550°C、4時間)を行って結晶質珪素膜を形成する。そして、フォトリソグラフィ法を用いたパターニング処理によって半導体層402~406を形成する。

【0089】また、レーザ結晶化法で結晶質半導体膜を作製する場合には、レーザとして、連続発振またはパルス発振の固体レーザまたは気体レーザまたは金属レーザなどを用いることができる。なお、前記固体レーザとしては連続発振またはパルス発振のYAGレーザ、YVO₄レーザ、YLFレーザ、YAl₁₀O₆レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:S₄サファイアレーザ等があり、前記気体レーザとしては連続発振またはパルス発振のエキシマレーザ、Arレーザ、Krレーザ、CO₂レーザ等があり、前記金属レーザとしてはヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザが挙げられる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いることが良い。結晶化の条件は実施者が適宜選択するものであるが、パルス発振のエキシマレーザを用いる場合にはパルス発振周波数3.00 Hzをとし、レーザエネルギー密度を1.00~1.20 mJ/cm²、代表的には1.00~7.00 mJ/cm²(好ましくは2.00~3.00 mJ/cm²)とする。また、パルス発振のYAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1~3.00 Hzとし、レーザエネルギー密度を3.00~18.00 mJ/cm²、代

表的には3.00~10.00mJ/cm² (好ましくは3.50~5.00mJ/cm²) とすると良い。そして幅100~100μm、例えば400μmで線状に集光したレーザ光を基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を5.0~9.8%として行つてもよい。また、連続発振のレーザを用いるときのエネルギー密度は0.01~1.00MW/cm²程度 (好ましくは0.1~1.0MW/cm²) が必要である。そして、0.5~2.000cm/s程度の速度でレーザビームに対して相対的にステージを動かして照射する。

【0.0.9.0】しかしながら、本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行つたため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に5.0~1.00nmの非晶質珪素膜を形成し、加熱処理 (RTA法やフーノスアーニール炉を用いた熱アーニール等) を行つて、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行つて除去する。このようにして、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

【0.0.9.1】もちろん、レーザ結晶化法のみを行つた結晶質半導体膜を用いてTFTを作製することもできるが、金属元素を用いる熱結晶化法およびレーザ結晶化法を組み合わせれば結晶質半導体膜の結晶性が向上しているため、TFTの電気的特性が向上するので望ましい。例えば、レーザ結晶化法のみを行つた結晶質半導体膜を用いてTFTを作製すると、移動度は3.00cm²/Vs程度であるが、金属元素を用いる熱結晶化法およびレーザ結晶化法を行つた結晶質半導体膜を用いてTFTを作製すると、移動度は5.00~6.00cm²/Vs程度と著しく向上する。

【0.0.9.2】また、半導体層4.02~4.06を形成した後、TFTのしきい値を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行つてもよい。

【0.0.9.3】次いで、半導体層4.02~4.06を積み重ねた絶縁膜4.07を形成する。ゲート絶縁膜4.07はプラズマCVD法またはスピッタ法を用い、厚さを4.0~1.50nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により1.10nmの厚さで酸化珪素膜 (組成比Si=3.2%、O=5.9%、N=7%、H=2%) で形成した。勿論、ゲート絶縁膜は酸化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0.0.9.4】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力4.0Pa、基板温度300~400°Cとし、高周波 (13.56MHz) 電力密度0.5~0.8W/cm²で放電させて形成することができる。

このようにして作製される酸化珪素膜は、その後400~500°Cの熱アーニールによりゲート絶縁膜として良好

な電気的特性を得ることができる。

【0.0.9.5】次いで、ゲート絶縁膜4.07上に膜厚2.0~1.00nmの第1の導電膜4.08aと、膜厚1.00~8.00nmの第2の導電膜4.08bと、膜厚2.0~1.00nmの第3の導電膜4.08cを積層形成する。本実施例では、膜厚3.0nmのWN層からなる第1の導電膜4.08aと、膜厚3.70nmのAl-Si層からなる第2の導電膜4.08bと、膜厚3.0nmのTiN層からなる第3の導電膜4.08cとを積層形成する。

【0.0.9.6】なお、本実施例では、第1の導電膜4.08aをWNとしたが、特に限定されず、第1の導電膜として、WやMoから選ばれた元素または前記元素を主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第2の導電膜4.08bをAl-Siとしたが、特に限定されず、Al-Si、Alを主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第3の導電膜4.08cをTiNとしたが、特に限定されず、Tiや、Tiを主成分とする合金もしくは化合物からなる導電層で形成してもよい。

【0.0.9.7】次に、フカトラングラフィ法を用いてレジストからなるマスク4.10~4.15を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1のエッチング条件及び第2のエッチング条件で行う。(図8-(B)) 本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにエッチング用ガスにB₂H₆とC₂H₂とO₂とを用い、それぞれのガス流量比を25:1:10:5 (sccm) とし、1.1~2Paの圧力でコイル型の電極に4.50WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも3.00WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりAl-Si層およびTiN層をエッチングして第2の導電層および第3の導電層の端部をテーパー形状とする。また、この第1のエッチング条件によって、Al-Si層およびTiN層のテーパー角は、約45°となるが、WN層はほとんどエッチングされない。

【0.0.9.8】この後、レジストからなるマスク4.10~4.15を除去せずに第2のエッチング条件に切り替えて、エッチング用ガスにC₂F₆とC₂H₂とO₂とを用い、それぞれのガス流量比を25:25:30 (sccm) とし、1Paの圧力でコイル型の電極に5.00WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも2.0WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするために、1.0~2.0%程度の割合でエッチング時間を増加させると良い。

【0099】上記第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1乃至第3の導電層の端部がテーパー形状となる。このテーパー部の角度は15°～45°となる。こうして、第1のエッティング処理により第1の導電層と第2の導電層と第3の導電層から成る第1の形状の導電層417～422(第1の導電層417a～422aと第2の導電層417b～422bと第3の導電層417c～422c)を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッティングされ薄くなれた領域が形成される。

【0100】次いで、レジストからなるマスクを除去せずに第2のエッティング処理を行う。(図8-(C))ここでは、エッティングガスにBC13とC12とを用い、それぞれのガス流量比を20:60(ccm)とし、1.2Paの圧力でコイル型の電極に600VのRF(13.56MHz)電力を投入してプラズマを生成してエッティングを行った。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッティング処理では、Al-Si膜およびTiN膜が選択的にエッティングされる。この時、第2のエッティング処理により第2の導電層428b～433bおよび第3の導電層428c～433cを形成する。一方、第1の導電層417a～422aは、ほとんどエッティングされず、第2の形状の導電層428～433を形成する。

【0101】このように第1のエッティング工程および第2のエッティング工程により、本発明の構成を利用したゲート電極428～431、保持容量の一方の電極432およびソース配線433が形成される。

【0102】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を低濃度に添加する。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を40～80kVとして行う。本実施例ではドーズ量を $1.5 \times 10^{13} / \text{cm}^2$ とし、加速電圧を60kVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(A)s)を用いるが、ここではリン(P)を用いる。この場合、導電層428～433がp型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域423～427が形成される。不純物領域423～427には $1 \times 10^{10} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0103】レジストからなるマスクを除去した後、新たにレジストからなるマスク434a～434cを形成して第1のドーピング処理よりも高い加速電圧で第2の

ドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{16} / \text{cm}^2$ とし、加速電圧を60～120kVとして行う。ドーピング処理は第2の導電層428b～432bを不純物元素に対するマスクとして用い、第1の導電層のテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングする。続いて、第2のドーピング処理より加速電圧を下げて第3のドーピング処理を行って図9(A)の状態を得る。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{17} / \text{cm}^2$ とし、加速電圧を50～100kVとして行う。第2のドーピング処理および第3のドーピング処理により、第1の導電層と重なる低濃度不純物領域436、442、448には $1 \times 10^{10} \sim 5 \times 10^{10} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加され、高濃度不純物領域435、441、444、447には $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加される。

【0104】もちろん、適当な加速電圧にすることや、第2のドーピング処理および第3のドーピング処理は1回のドーピング処理で、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【0105】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク450a～450cを形成して第4のドーピング処理を行う。この第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域453、454、459、460を形成する。第2の導電層428a～428bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域453、454、459、460はジボラン(B_2H_6)を用いたイオンドープ法で形成する。(図9(B))この第4のドーピング処理の際には、pチャネル型TFTを形成する半導体層はレジストからなるマスク450a～450cで覆われている。第1乃至3のドーピング処理によって、不純物領域438、439にはそれぞれ異なる位置でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{10} \sim 5 \times 10^{20} \text{ at cm}^3 / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するためには何ら問題は生じない。

【0106】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0107】次いで、レジストからなるマスク450a～450cを除去して第1の層間絶縁層461を形成する。この第1の層間絶縁層461としては、プラズマCVD法またはスペッタ法を用い、厚さを1.0～2.0nmとして珪素を含む絶縁層で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化

珪素膜を形成した。勿論、第1の層間絶縁膜461は酸化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0108】次いで、図9.(C)に示すように、レーザービームを照射して、半導体層の結晶性の回復、およびそれぞれの半導体層に添加された不純物元素の活性化を行う。用いるレーザーは、連続発振またはパルス発振の固体レーザーまたは気体レーザーまたは金属レーザーが望ましい。特にYAGレーザーを用いたレーザアニール法を行うのが好ましい。連続発振のレーザーを用いるのであれば、レーザー光のエネルギー密度は0.01~100MW/cm²程度(好ましくは0.01~10MW/cm²)が必要であり、レーザー光に対して相対的に基板を0.5~2の0.0cm/sの速度で移動させる。また、パルス発振のレーザーを用いるのであれば、周波数300Hzとし、レーザーエネルギー密度を50~900mJ/cm²(代表的に50~500mJ/cm²)とするのが望ましい。このとき、レーザー光を50~98%オーバーラップさせても良い。また、第2の導電層において第1の層間絶縁膜に接する領域が十分に酸化していることなどにより、加熱処理を行ってもヒロックやウイスカ等の突起物が形成されない場合は、ファーネスアニール炉を用いる熱アニール法やラビッドオーマルアニール法(RTA法)を適用することができる。

【0109】また、第1の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた配線が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0110】そして、加熱処理(300~450℃で1~12時間の熱処理)を行うと水素化を行うことができる。この工程は第1の層間絶縁膜461に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)や、3~100%の水素を含む雰囲気中で300~450℃で1~12時間の加熱処理を行っても良い。

【0111】次いで、第1の層間絶縁膜461上に無機絶縁膜または有機絶縁物材料から成る第2の層間絶縁膜462aを形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10~1000cP、好ましくは40~200cPのものを用い、表面に凸凹が形成されるものを用いる。また、有機樹脂膜を用いない場合は図21で示すような形状の第2層間絶縁膜462bが形成される。

【0112】本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るために、画素電

極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトマスクで行うことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を囲む絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0113】また、第2の層間絶縁膜462aとして表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることができるもの。

【0114】そして、駆動回路506において、各不純物領域とそれぞれ電気的に接続する配線463~467を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層度をパターニングして形成する。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、A1とTiに限らない。例えば、TiとN膜上にA1やCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。(図10)。

【0115】また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。この接続電極468によりソース配線(433a~433cの積層)は、画素TFTと電気的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電気的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電気的な接続が形成される。また、画素電極470としては、A1またはAlを主成分とする膜、またはそれらの積層膜等の反射性の薄れた材料を用いることが望ましい。

【0116】以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0117】駆動回路506のnチャネル型TFT501はチャネル形成領域437、ゲート電極の一部を構成する第1の導電層428aと重なる低発度不純物領域436(GOLD領域)、ソース領域またはドレイン領域として機能する高発度不純物領域452を有している。このnチャネル型TFT501と電極466で構成してCMOS回路を形成するpチャネル型TFT502にnチャネル形成領域440、ソース領域またはドレイン電極として機能する高発度不純物領域454と、n型を介

31

とする不純物元素およびp型を付与する不純物元素が導入された不純物領域453を有している。また、nチャネル型 TFT 503にはチャネル形成領域443、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域442 (GOLD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域456を有している。

【0118】画素部の画素 TFT 504にはチャネル形成領域446、ゲート電極の外側に形成される低濃度不純物領域445 (LDD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域458を有している。また、保持容量505の一方の電極として機能する半導体層には、n型を付与する不純物元素およびp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜416を誘電体として、電極 (432a ~ 432cの種類) と、半導体層とで形成している。

【0119】本実施例の画素構造は、ブラックマトリックスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配位形成する。

【0120】また、本実施例で作製するアクティブマトリックス基板の画素部の上面図を図11に示す。なお、図8~図11に対応する部分には同じ符号を用いている。図10中の鎖線A-A'は図11中の鎖線A-A'で切断した断面図に対応している。また、図10中の鎖線B-B'は図11中の鎖線B-B'で切断した断面図に対応している。

【0121】このようにして作製された配線は低抵抗化が実現されており、該配線を有する配線基板は画素部の大面積化しても配線遮延等の問題が生じることなく、十分対応でき得るものとなっている。

【0122】なお、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが可能である。

【0123】【実施例6】本実施例では、実施例5で作製したアクティブマトリックス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図12を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリックス基板を用いているため、本発明を適用していると言える。

【0124】まず、実施例5に従い、図10の状態のアクティブマトリックス基板を得た後、図10のアクティブマトリックス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行う。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をペーニングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0125】次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化

膜573を形成する。赤色の着色層570と青色の着色層571とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0126】本実施例では、実施例5に示す基板を用いている。従って、実施例5の画素部の上面図を示す図11では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極70の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0127】このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0128】次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理をした。

【0129】そして、画素部と駆動回路が形成されたアクティブマトリックス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが注入されていて、このフィラーと柱状スペーサによって一定の間隔を持って2枚の基板が貼り合はせられる。その後、両基板の間に液晶材料575を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図12に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリックス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板 (図示しない) を貼りつけだ。そして、公知の技術を用いてFPDを貼りつけた。

【0130】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遮延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0131】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0132】【実施例7】本実施例では、実施例5で作製したアクティブマトリックス基板から、実施例6とは異なるアクティブマトリックス型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリックス基板を用いているため、本発明を適用していると言える。

【0133】まず、実施例5に従い、図8の状態のアクティブマトリックス基板を得た後、図8のアクティブマト

リクス基板上に配向膜1067を形成しラビング処理を行う。なお、本実施例では配向膜1067を形成する前に、アクリル樹脂膜等の有機樹脂膜をバーニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0134】次いで、対向基板1068を用意する。この対向基板には、着色層1074、遮光層1075が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層1077を設けた。このカラーフィルタと遮光層1077とを覆う平坦化膜1076を設けた。次いで、平坦化膜1076上に透明導電膜からなる対向電極1069を画素部に形成し、対向基板の全面に配向膜1070を形成し、ラビング処理を施した。

【0135】そして、画素部と駆動回路が形成されたアクティブラチクス基板と対向基板とをシール材1071で貼り合わせる。シール材1071にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料1073を注入し、封止剤(図示せず)によって完全に封止する。液晶材料1073には公知の液晶材料を用いれば良い。このようにして図1-1に示すアクティブラチクス型液晶表示装置が完成する。そして、必要があれば、アクティブラチクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0136】以上のようにして作成される液晶表示パネルは各種電子機器の表示部として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面积化にも十分対応でき得るものとなつてゐる。

【0137】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0138】【実施例8】本実施例では、本発明を利用した配線基板の一例として、実施例5で示したアクティブラチクス基板を作成するときのTFTの作成方法を用いて、発光装置を作成した例について説明する。本実施例では本発明の記載がないが、実施例5で作成されるアクティブラチクス基板を用いているため、本発明を適用していると言える。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(発光層)と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励

起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)があり、これらのうちどちらか、あるいは両方の発光を含む。

【0139】なお、本明細書中では、発光素子において陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層、陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層、陰極層や、陽極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【0140】図14は本実施例の発光装置の断面図である。図14において、基板700上に設けられたスイッチングTFT603は図10のpチャネル型TFT503を用いて形成される。したがって、構造の説明はpチャネル型TFT503の説明を参照すれば良い。

【0141】なお、本実施例ではチャネル形成領域二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0142】基板700上に設けられた駆動回路は図10のCMOS回路を用いて形成される。従って、構造の説明はpチャネル型TFT501とpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0143】また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0144】なお、電流制御TFT604は図10のpチャネル型TFT502を用いて形成される。従って、構造の説明はpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0145】また、配線706は電流制御TFTのソース配線(電流供給線に相当する)であり、707は電流制御TFTの画素電極711上に重ねることで画素電極711と電気的に接続する電極である。

【0146】なお、711は、透明導電膜からなる画素電極(発光素子の陽極)である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものも用いても良い。画素電極

7.1.1は、上記記載を形成する前に平坦な層間絶縁膜7.1.0上に形成する。本実施例においては、樹脂からなる平坦化膜7.1.0を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるよう画素電極を形成する前に平坦化しておきことが望ましい。

【014.7】配線7.0.1～7.0.7を形成後、図14に示すようにパンク7.1.2を形成する。パンク7.1.2は1.0～4.0 nmの珪素を含む絶縁膜もしくは有機樹脂膜をバーニングして形成すれば良い。

【014.8】なお、パンク7.1.2は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではパンク7.1.2の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 1.0^6 \sim 1 \times 1.0^{12} \Omega \cdot m$ (好ましくは $1 \times 1.0^8 \sim 1 \times 1.0^{10} \Omega \cdot m$)となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【014.9】画素電極7.1.1の上には発光層7.1.3が形成される。なお、図14では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として2.0 nm厚の銅フタロシアニン(Cu.P.c.)膜を設け、その上に発光層として2.0 nm厚のトリス-(8-キノリゾラトアルミニウム鉛鉱(A1q))膜を設けた積層構造としている。A1qにはキナクリドン、ペリレンもしくはDCM1といった螢光色素を添加することで発光色を制御することができる。

【015.0】但し、以上の例は発光層として用いることのできる有機発光材料の一例であつても、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。な接、本明細書中において、昇華性を有さず、かつ、分子数が2.0以下または連鎖する分子の長さが1.0 μm以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として2.0 nmのポリチオフェン、(PEDOT)膜をスピンドル法により設け、その上に発光層として1.00 nm程度のパラフニルビニレン(P.P.V.)膜を設けた積層構造としても良い。なお、P.P.V.の共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公

知の材料を用いることができる。

【015.1】次に、発光層7.1.3の上には導電膜からなる陰極7.1.4が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMg-Al膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料として例、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【015.2】この陰極7.1.4まで形成された時点では光子7.1.5が完成する。なお、ここでいう発光素子7.1.5は、画素電極(陽極)7.1.1、発光層7.1.3及び陰極7.1.4で形成されたダイオードを指す。

【015.3】発光素子7.1.5を完全に図うようにしてペッシュペーション膜7.1.6を設けることは有効である。ペッシュペーション膜7.1.6としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合せた積層で用いる。

【015.4】この膜、カバーレジの良い膜をペッシュペーション膜として用いることが好ましく、炭素膜、特に DLC(ダイヤモンドライカーボン)膜を用いることは有効である。DLC膜は室温から100°C以下の温度範囲で成膜可能であるため、耐熱性の低い発光層7.1.3の上方にも容易に成膜することができる。また、DLC膜は酸素に対するプロンギング効果が高く、発光層7.1.3の酸化を抑制することが可能である。そのため、この後に焼く封止工程を行う間に発光層7.1.3が酸化するといった問題を防止できる。

【015.5】さらに、ペッシュペーション膜7.1.6上に封止材7.1.7を設け、カバー材7.1.8を貼り合わせる。封止材7.1.7としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材7.1.8はガラス基板や石英基板やプラスチック基板(プラスチックフィルムも含む)の両面に炭素膜(好ましくはダイヤモンドライカーボン膜)を形成したもの用いられる。

【015.6】こうじて図14に示すような構造の発光装置が完成する。なお、パンク7.1.2を形成した後、ペッシュペーション膜7.1.6を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気開放せずに連続的に処理することは有効である。また、さらに発展させてカバー材7.1.8を貼り合わせる工程までを大気開放せずに連続的に処理することも可能である。

【015.7】こうじて、基板7.0.0上にロチャネルTFT 6.0.1、6.0.2、スイッチングTFT(ロチャネル型TFT) 6.0.3および電流制御TFT(ロチャネル型TFT) 6.0.4が形成される。

【015.8】さらに、図14を用いて説明したように、50 ゲート電極に絶縁膜を介して直なる不純物領域を設ける

ことによりホットキャリア効果に起因する劣化に強いHチャネル型TFTを形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0159】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0160】さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図15を用いて説明する。なお、必要に応じて図14で用いた符号を引用する。

【0161】図15(A)は、発光素子の封止までを行った状態を示す上面図、図15(B)は図15(A)をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0162】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサークル）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0163】次に、断面構造について図15(B)を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はHチャネル型TFT601とHチャネル型TFT602などを組み合わせたCMOS回路（図14参照）を用いて形成される。

【0164】画素電極711は発光素子の陽極として機能する。また、画素電極711の両端にはパンク712が形成され、画素電極711上には発光層713および発光素子の陰極714が形成される。

【0165】陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパンク712で覆われている。

【0166】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と

発光素子との間隔を確保するために樹脂度からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0167】発光素子を囲うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板の材料としてFRP（Fiberglass-Reinforced Plastics）、PVP（ポリビニルプロピド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0168】また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を囲うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0169】以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。ただし、前記発光装置は、画素部において、漏れ率を低下することなく、また、直線遅延等の問題が生じることがないで、大面积化にも十分対応でき得るものとなっている。

【0170】なお、本実施例は実施例1乃至5のいずれかと自由に組み合わせることが可能である。

【0171】【実施例9】本実施例では、実施例8とは異なる画素構造を有した発光装置について説明する。図明には図16を用いる。本実施例では本発明の記載が無いが、本発明を適用して形成される配線を有するTFTを用いて作製するのに、本発明を適用しているとされる。

【0172】図16では電流制御用TFT4501として図10のHチャネル型TFT502と同一構造のTFTを用い、スイッチング用TFT4402として図10の画素TFT504と同一構造のTFTを用いる。一方、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFTのドレイン配線は画素電極4504に電気的に接続されている。

【0173】本実施例では、導電度からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金度を用いるが、周期数の1族もしくは2族に属する元素からなる導電質もしくはそれらの元素を添加した導電度を用いれば良い。

39
【0174】画素電極4504の上には発光層4505が形成される。なお、図16では一画素じか示していないが、本実施例ではG(陽極)に対応した発光層を蒸着法及び塗布法(好ましくはスピンドルコート法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0175】次に、発光層4505の上には透明導電膜がちなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0176】この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極(陰極)4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0177】発光素子4507を完全に覆うようにして、パンシベーション膜4508を設けることは有効である。パンシベーション膜4508としては、炭素膜、塗化珪素膜もしくは塗化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0178】さらに、パンシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板(プラスチックフィルムも含む)の両面に炭素膜(好ましくはダイヤモンドライカーボン膜)を形成したもの用いる。

【0179】このようにして作製された発光装置の配線は低抵抗化が実現できており、また、画素部において、開閉率を低下することなく、配線遮断等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0180】なお、本実施例は実施例1乃至5のいずれかと自由に組み合わせることが可能である。

【0181】【実施例10】本実施例では、実施例5で作製したアクティブマトリクス基板とp TFT構造が異なる例を挙げ、本発明を用いて液晶表示装置を作製した例について説明する。本実施例では本発明の記載がないが、本発明を適用して形成される配線を有するTFTを用いて作製するので、本発明を適用していると言える。

【0182】図18(A)に示すアクティブマトリクス基板は、nチャネル型TFT503とpチャネル型TFT502を有する駆動回路506と、画素部504と保持容量505を有する画素部507とが形成されている。

【0183】これらのTFTは基板510にゲート配線512～517を形成したのち、前記ゲート配線上に絶縁膜511を形成し、前記絶縁膜上の半導体層にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。半導体層は実施例1～実施例5と同様に本発明を用いて形成する。

【0184】ゲート配線512～517は、その厚さを200～400nm、好ましくは250nmの厚さで形成し、その上層に形成する被膜の被覆性(ステップカバレージ)を向上させるために、端部をテーパー形状となるよう形成する。テーパー部の角度は5～30度、好ましくは15～25度で形成する。テーパー部はドライエッチング法で形成され、エッティングガスと基板側に印加するバイアス電圧により、その角度を制御する。

【0185】また、不純物領域は、第1乃至第3のドーピング工程によって形成する。まず、第1のドーピング工程を行って、nチャネル型TFTのLDD(Lightly Doped Drain)領域を形成する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。n型を付与する不純物元素(ドナー)としてリン(P)を添加し、マスクにより第1の不純物領域が形成される。そして、新たにnチャネル型TFTのLDD領域をマスクを形成して、第2のドーピング工程はnチャネル型TFTのソース領域及びドレイン領域を形成して行う。

【0186】第3のドーピング処理により、nチャネル型TFTのソース領域及びドレイン領域を形成する。ドーピングの方法はイオンドープ法やイオン注入法でp型を付与する不純物元素(アクセプタ)を添加すればよい。このども、nチャネル型TFTを形成する半導体層にはマスクを形成するため、p型を付与する不純物元素が添加されない。本実施例では、nチャネル型TFTにおいてLDD領域を作成していないが、もちろん、作成してもよい。

【0187】このようにして、nチャネル型TFT503にはチャネル形成領域を含む外側にLDD領域506のソース領域またはドレイン領域507が形成される。nチャネル型TFT502も同様な構造とし、チャネル形成領域527、ソース領域またはドレイン領域528から成っている。なお、本実施例ではレジストマスク構造としているが、ダブルマスク構造もしくはトリプルマスク構造で作成しても良い。

【0188】画素部507において、nチャネル型TFTで形成される画素部TFT504はオブ電流の供給を目的としてマルチゲート構造で形成され、チャネル形成領域532の外側にLDD領域533がある。ソース領域またはドレイン領域534が設けられている。

【0189】層間絶縁膜は塗化珪素、塗化珪素、または酸化塗化珪素などの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜540と、ポリイミド、アクリル、ポリイミドアミド、BCB(ベンゾシクロオクタ

ン)などの有機絶縁物材料から成る第2の層間絶縁膜5.4.1とで形成する。このように、第2の層間絶縁膜を奇数絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に耐電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第1の層間絶縁膜5.4.0と組み合わせて形成することが好ましい。

【0.1.9.0】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッティングガスに CF_4 、 O_2 、 H_2 の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜5.4.1をまずエッティングし、その後、焼いてエッティングガスを CF_4 、 O_2 として第1の層間絶縁膜5.4.0をエッティングする。

【0.1.9.1】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッティングによって配線5.4.3～5.4.9を形成する。このようにして、アクティブマトリクス基板を形成することができる。

【0.1.9.2】図1.8 (A) のアクティブマトリクス基板を用いて、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図1.8 (B) はアクティブマトリクス基板と対向基板5.5.4とをシール材5.5.8で貼り合わせた状態を示している。最初に、図1.8 (A) の状態のアクティブマトリクス基板上に柱状のスペーサ5.5.1、5.5.2を形成する。画素部に設けるスペーサ5.5.1は画素電極上のコンタクト部に重ねて設ける。スペーサは用いる液晶材料にも依存するが、3～10 μm の高さとする。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。その後、配向膜5.5.3を形成しラビング処理を行う。対向基板5.5.4には透明導電膜5.5.5、配向膜5.5.6を形成する。その後、アクティブマトリクス基板と対向基板とを貼り合わせ液晶5.5.7を注入する。

【0.1.9.3】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子装置の表示装置として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遮断等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0.1.9.4】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合せることが可能である。

【0.1.9.5】【実施例1.1】本実施例では、実施例1.0で示したアクティブマトリクス基板を用いて、発光装置を作製した例について説明する。本実施例では本発明の記載がないが、実施例1.0で作製されるアクティブマト

リクス基板を用いているため、本発明を適用していると言える。

【0.1.9.6】図1.9では電流制御用TFT4501として図1.6のチャネル型TFT503と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFT4501のドレイン配線は画素電極4504に電気的に接続されている。

【0.1.9.7】本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周囲膜の1族もしくは2族に属する元素からなる導電膜もしくはこれらの元素を添加した導電膜を用いれば良い。

【0.1.9.8】画素電極4504の上には発光層4505が形成される。なお、図1.9では一面素しが図示していないが、本実施例ではG (陰) に対応した発光層を基層法及び塗布法 (好ましくはスピンドルコート法) により形成している。具体的には、電子注入層として20 nm厚のフッ化リチウム (LiF) 層を設け、その上に発光層として7.0 nm厚のPBPV (ポリペタヌエニレンビニレン) 層を設けた積層構造としている。

【0.1.9.9】次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0.2.0.0】この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極 (陰極) 4504、発光層4505及び陽極4506で形成されたダイホールを指す。

【0.2.0.1】発光素子4507を完全に覆うようにしてパンシペーション膜4508を設けることは有効である。パンシペーション膜4508としては、画素膜、白化珪素膜もしくは塗化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0.2.0.2】さらに、パンシペーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては、紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英窓ガラスやプラスチック基板 (プラスチックフィルムも含む) の両面に炭素膜 (好ましくはダイヤモンドライカーボン膜) を形成したものを使う。

【0.2.0.3】このようにして作製された発光装置は、画素部において、開口率を低下することなく、また、配線遮断等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0204】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0205】【実施例12】本発明を適用して、本発明を実施して形成された配線基板は様々な電気光学装置。

(アクティブラリクス型液晶表示装置、アクティブラリクス型EL表示装置、アクティブラリクス型発光装置)に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。

【0206】その様な電子機器としては、パソコンコンピュータ、ディスプレオなどが挙げられる。それらの例を図20に示す。

【0207】図20(A)はパソコンコンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。本発明を適用すれば、表示部3003の太面積化に対応でき得る。

【0208】図20(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレイヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作スイッチ3405等を含む。なお、このプレイヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部3402に適用することができる。本発明を適用すれば、表示部3402の大面積化に対応でき得る。

【0209】図20(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において十分対応文を得る構成となっている。特に対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0210】以上の外に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~4-1のどの上位な組み合わせからなる構成を用いても実現することができる。

【0211】(a)発明の効果】本発明の構成を採用することにより、以下に示すような有効性を得ることが出来る。

(a) 従来の配線または配線基板の作製プロセスに適合した、簡単な方法である。

(b) 配線の低抵抗化を実現できる。そのため、設計の自由度および画素部における開口率の向上が可能とな

る。

(c) カバレシジを良好なものとすることができます。

(d) 以上の利点を満たした上で、アクティブラリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても十分に対応することが可能となり、該半導体装置の動作特性および信頼性を向上させることを可能とする。

【図面の簡単な説明】

【図1】 本発明の概念の例を示す図。

10 【図2】 本発明を適用して作製した配線の形状の例を示す図。

【図3】 本発明を適用して作製した配線の形状の模式図を示す図。

【図4】 本発明を適用して作製した配線の形状の例を示す図。

【図5】 本発明を適用して作製した配線の形状の例を示す図。

【図6】 本発明を適用して作製した配線の形状の例を示す図。

20 【図7】 本発明の概念の例を示す図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 画素TFTの構成を示す上面図。

【図12】 アクティブラリクス型液晶表示装置の作製工程を示す断面図。

30 【図13】 アクティブラリクス型液晶表示装置の作製工程を示す断面図。

【図14】 発光装置の駆動回路及び画素部の断面構造図。

【図15】 (A) 発光装置の上面図。(B) 発光装置の駆動回路及び画素部の断面構造図。

【図16】 発光装置の駆動回路及び画素部の断面構造図。

【図17】 本発明の概念の例を示す図。

40 【図18】 アクティブラリクス型液晶表示装置の作製工程を示す断面図。

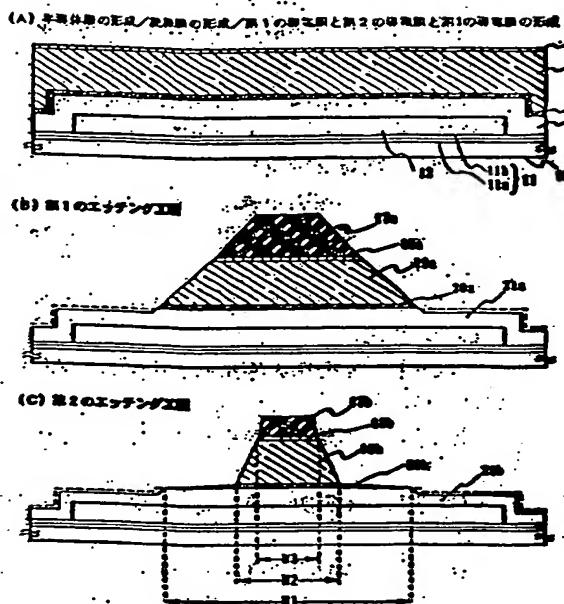
【図19】 発光装置の画素部の断面構造図。

【図20】 半導体装置の例を示す図。

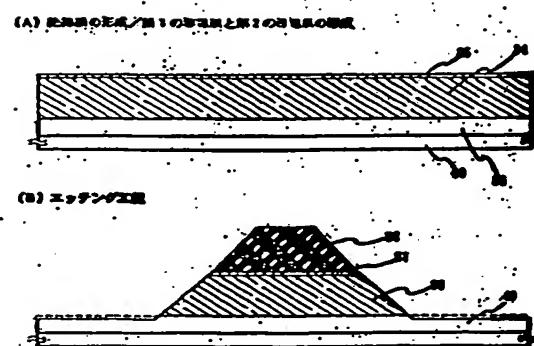
【図21】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図22】 第1のエッチング条件により形成される導電層の形状の例を示す図。

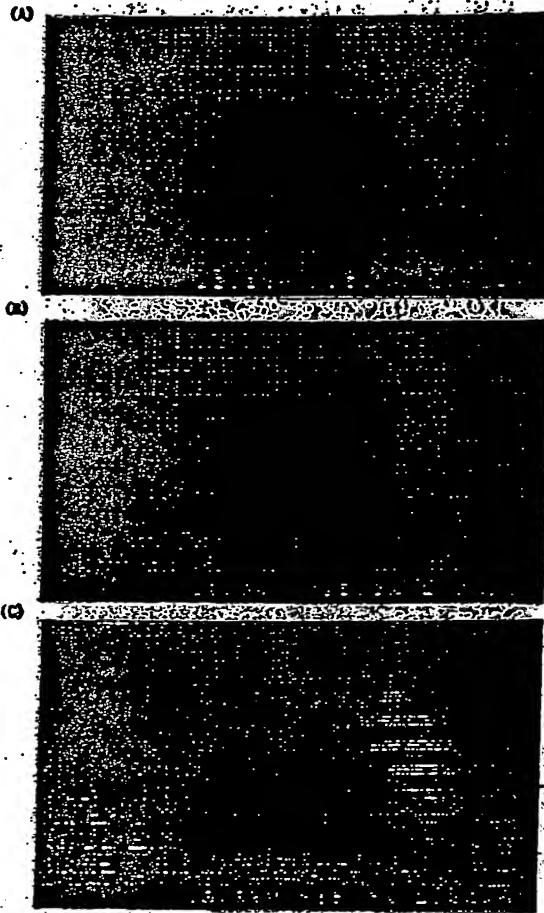
【図1】



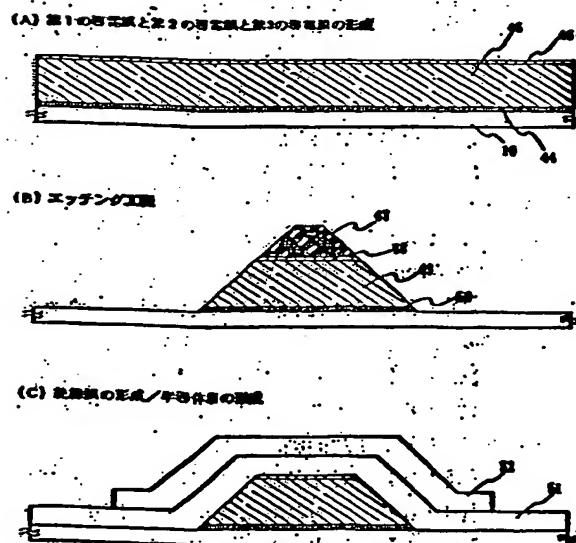
【図3】



【図6】



【図7】

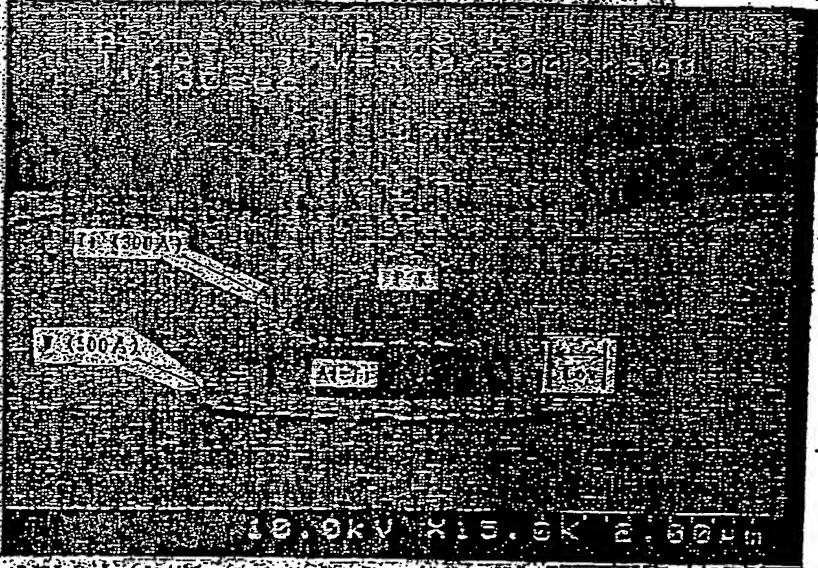


【図2】

①

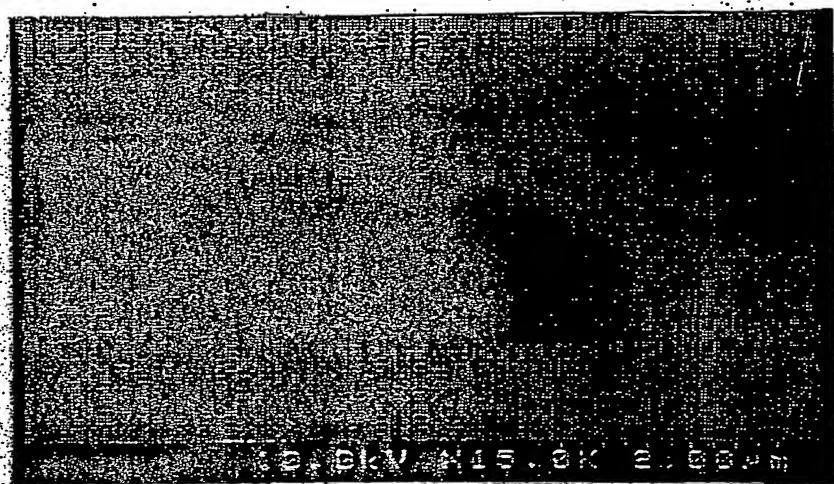


②

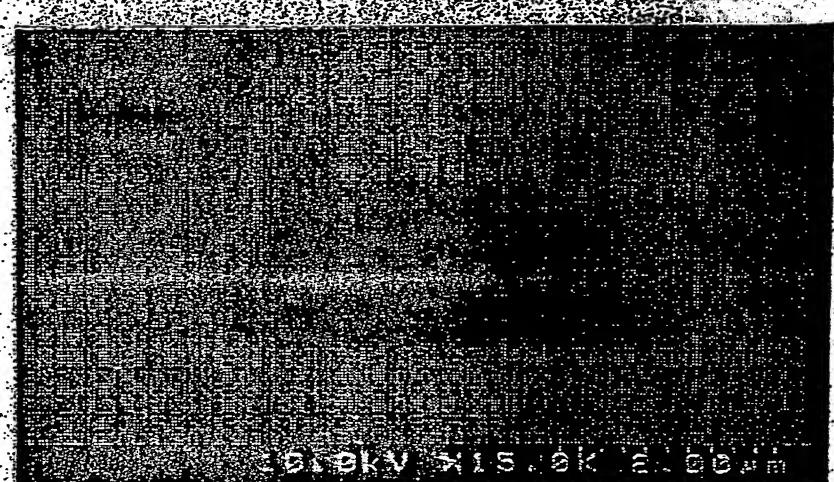


【図4】

(A)



(B)

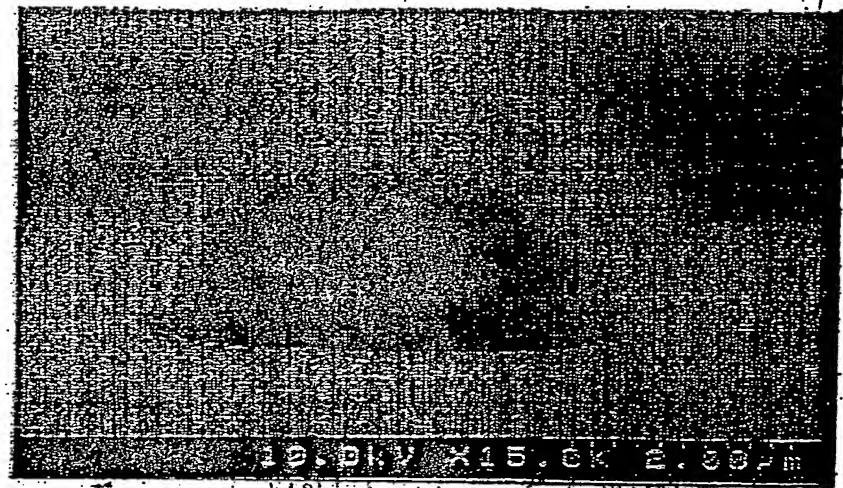


(C)

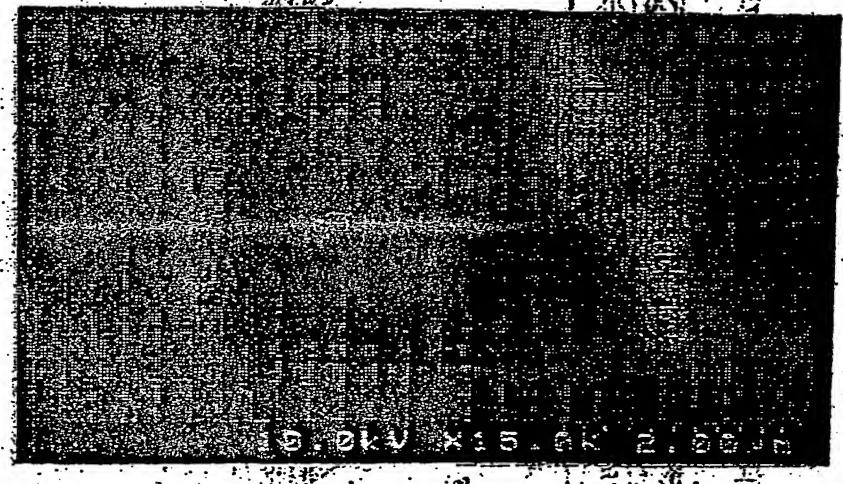


【図6】

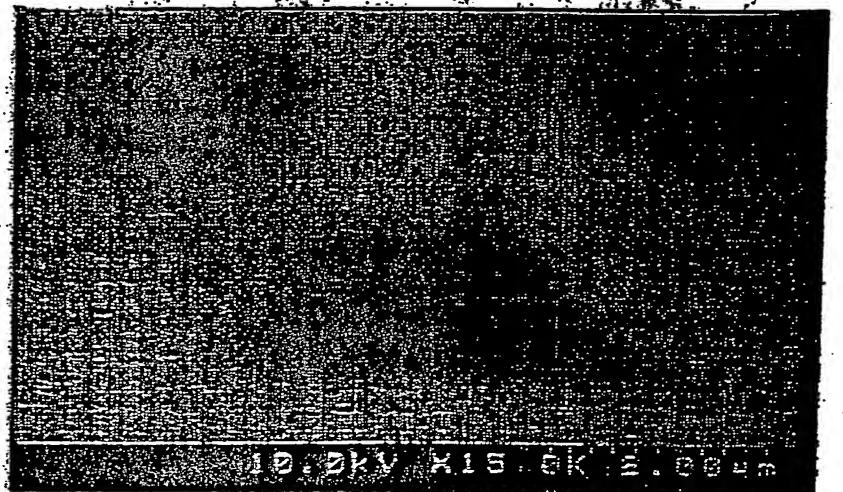
(A)



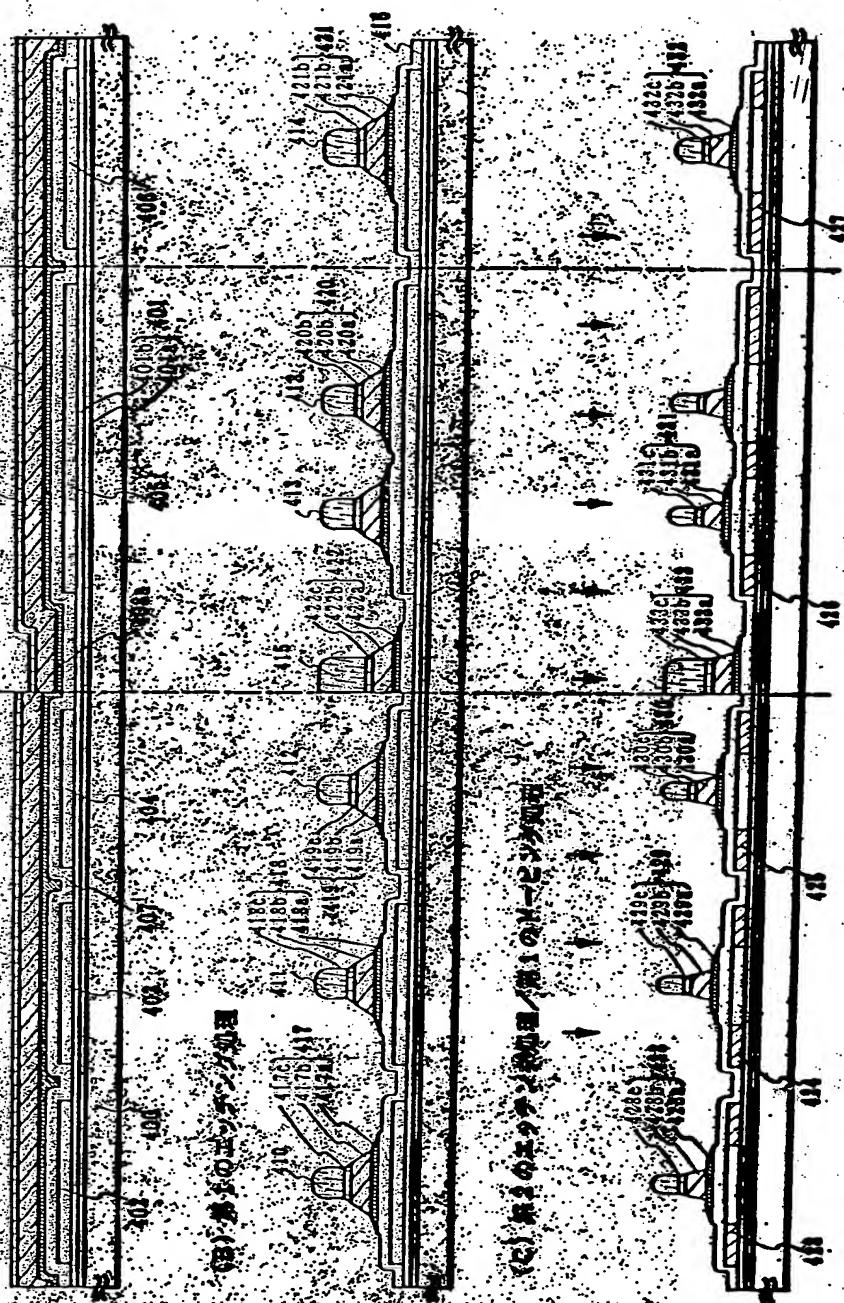
(B)



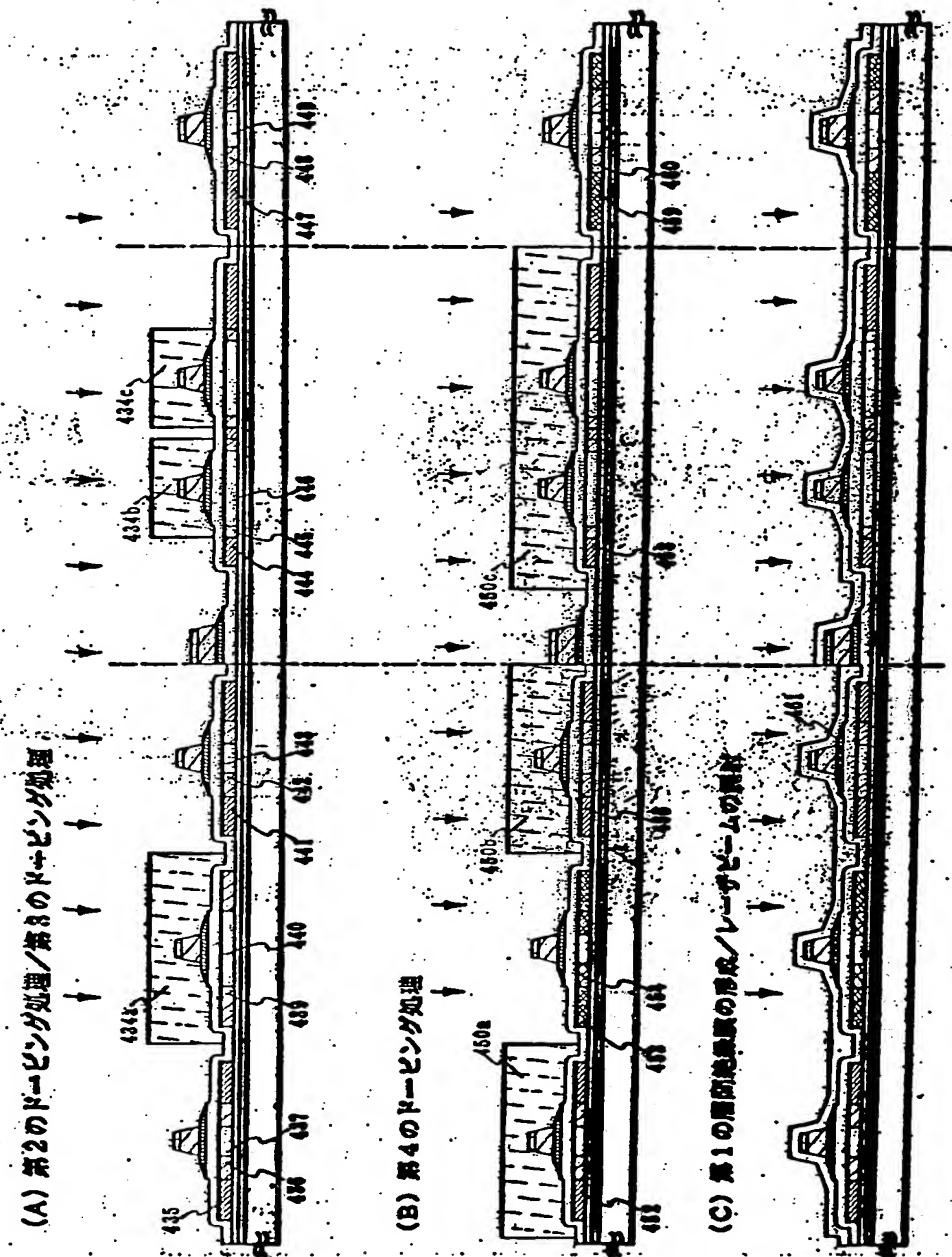
(C)



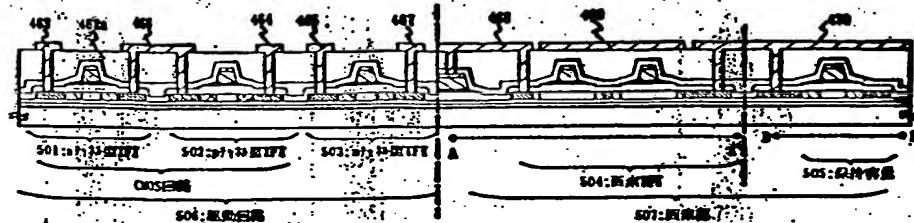
【図8】



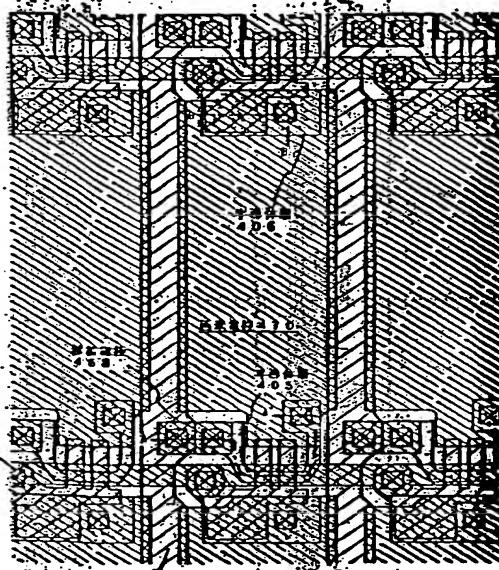
〔図9〕



〔図10〕



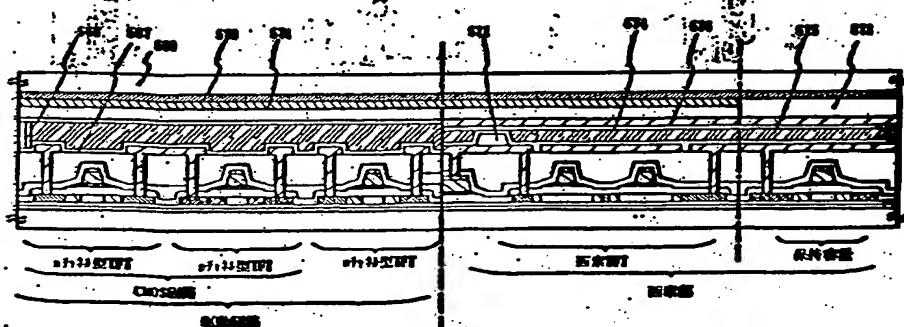
〔图1.1〕



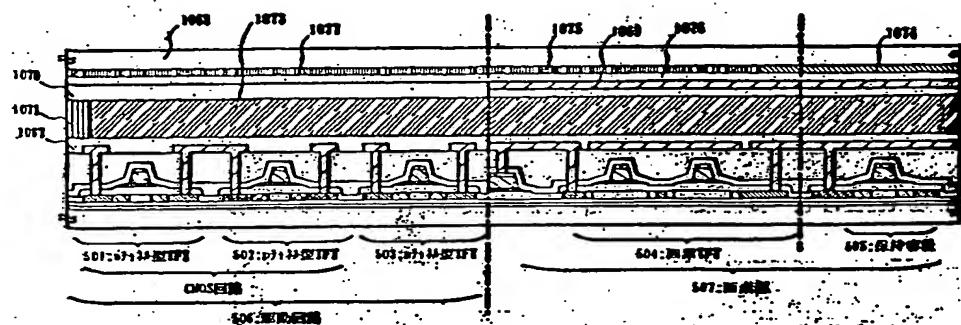
〔圖17〕



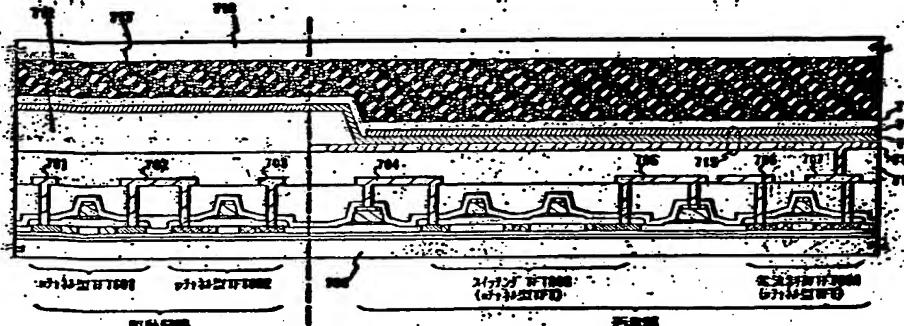
[图12]



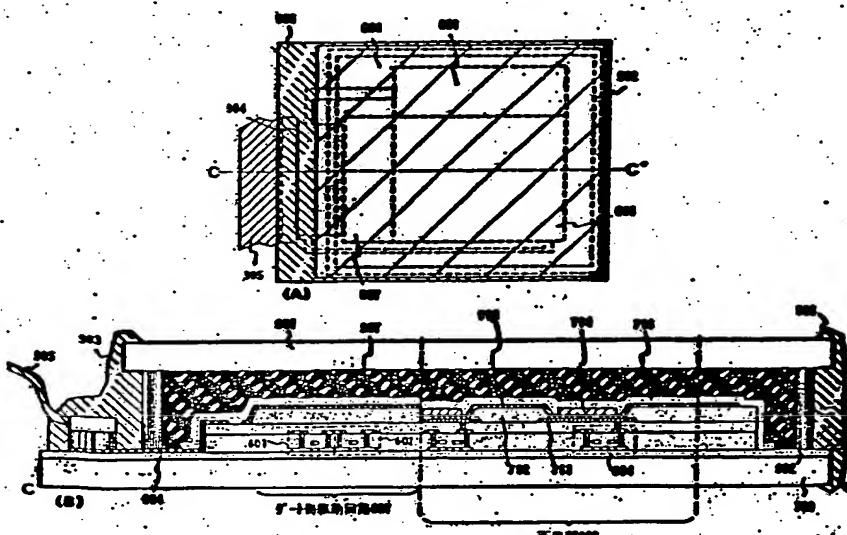
【図1.3】



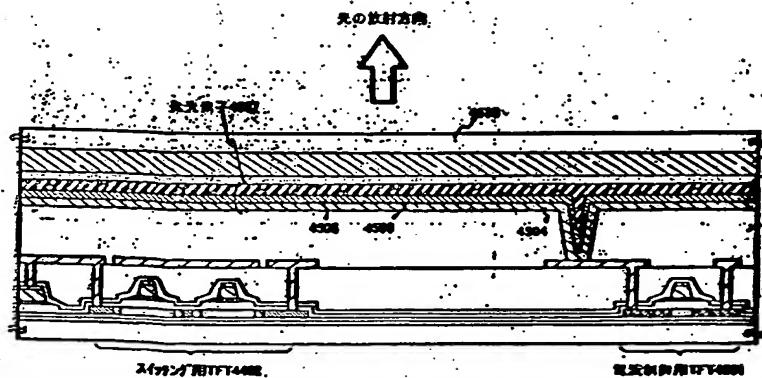
【図1.4】



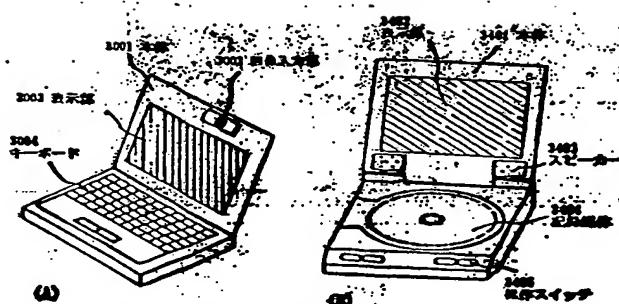
【図1.5】



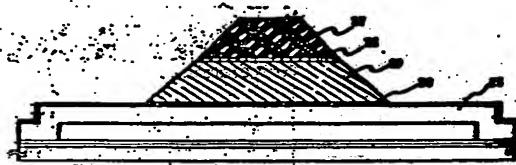
[图16.]



〔图201〕



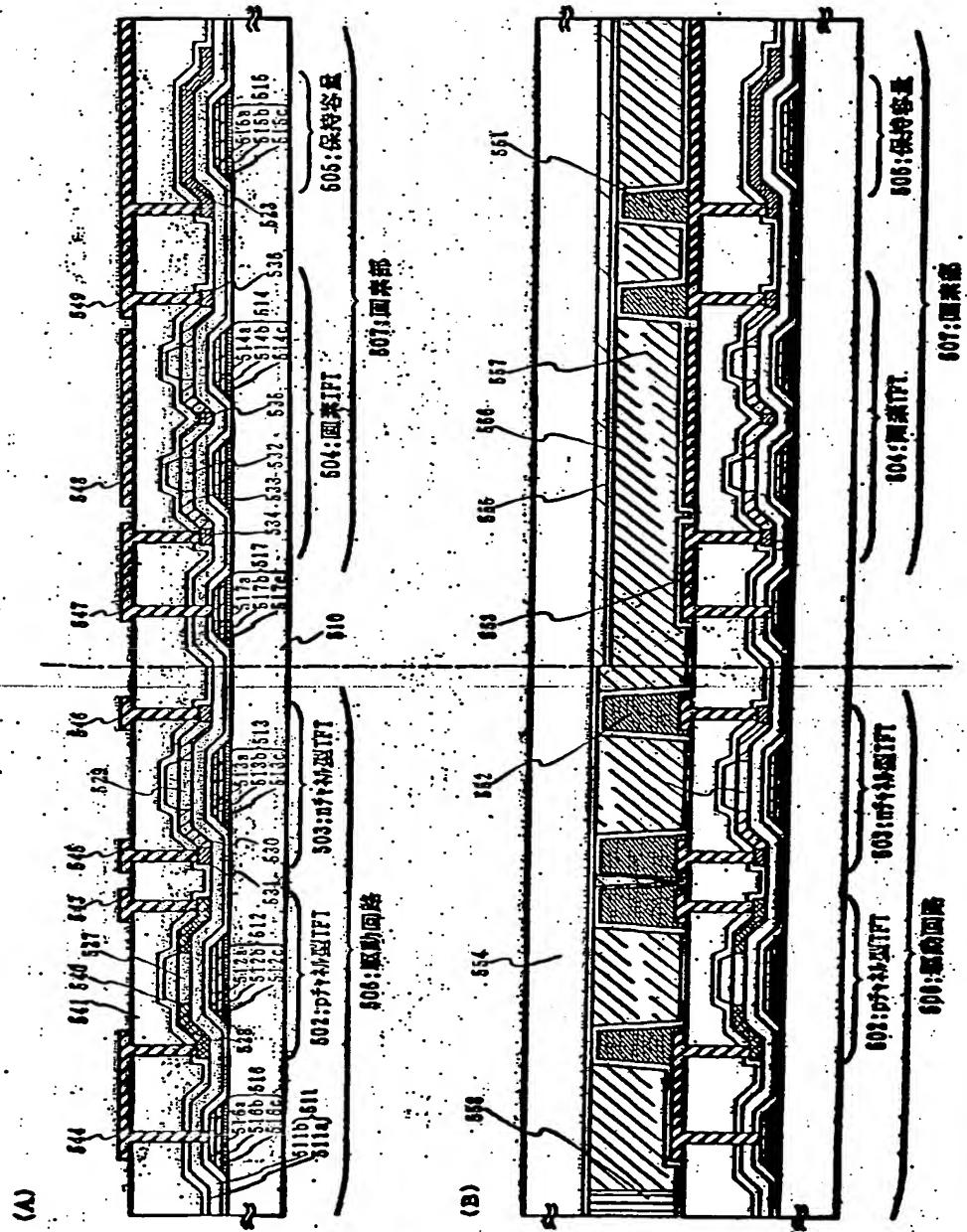
【图2.2】



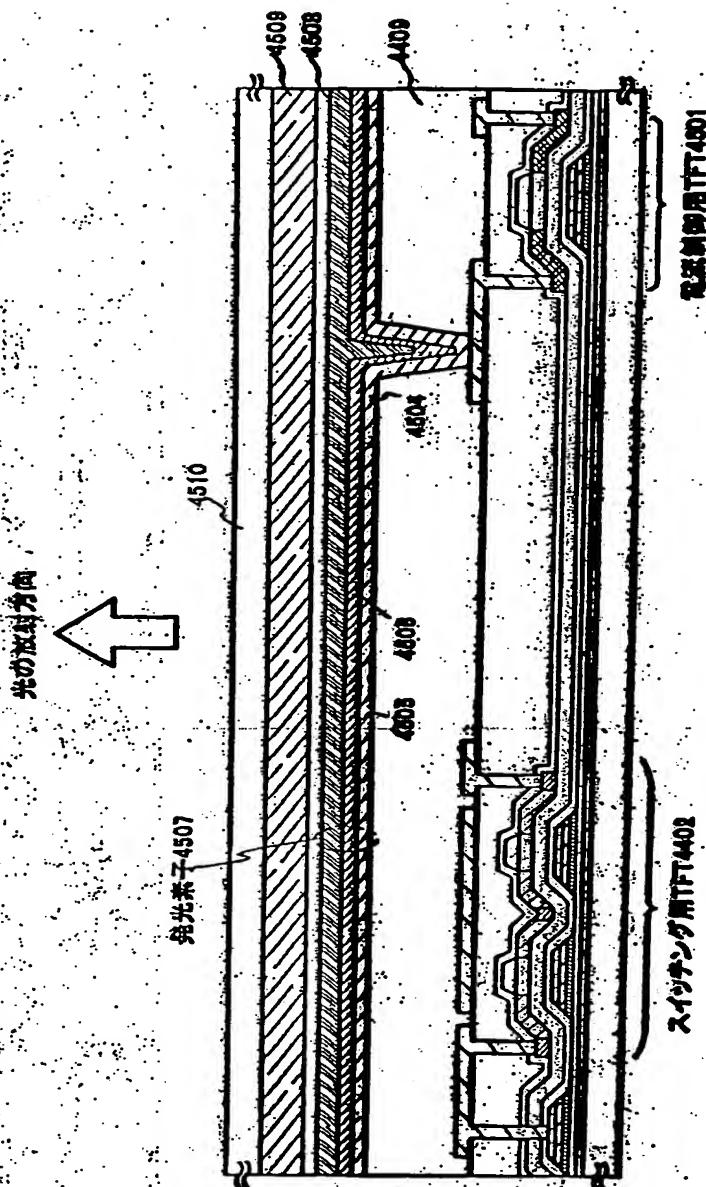
【图21】



[图 18]



[図19]



フロントページの読み

(S1) 1st Cl.
H01L 29/786

識別記号

PI
H01L 29/78

マーク(参考)

617K
617L
617J

(72)発明者 楠山 義弘

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.